(19)8本編集新介 (19) (17) 公開特許公翻(A)

- (11) 特許出職公門番号

特別平9-8153

(49)公開日 平成9年(1997)1月10日

(51) let CL*	
--------------	--

MS(8) 55

疗内整理器号

 \mathcal{X}^{*}

技術表示部所

HOAL 21/8247

29/788

28/798 27/138 H01L 20/78

373

27/10

434

器変解素 未設定 経準機の数27 〇L (金 34 質)

PRES (3)

4898447 -- 148989

(22) (3) (3) (3)

平級7年(1998) 8月15日

(71)EB**X**人 000008013

三进 化多类性 化多数

東京都千代田区丸の内工丁目2番3号

(72)発明者 大中嶺 線絡

兵庫與尼爾市際日本町八丁目1番1号 田

麦薯损权式会社半净体基础研究所约

(72)発明等 小野田 宏

兵麻果伊州市聯联4丁日工器地 三菱橄榄

株式会社ユー・エル・エス・ディ # 発研究

141 18

(70代理人 并理士 微見 入郷 (外3名)

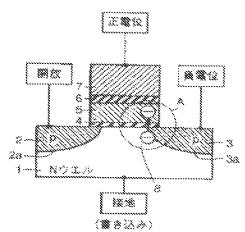
と残じ は 鉄碗

(54) (第四の名称) 不郷朝健主編成記憶集團

(57) (@89)

【日約】 カチャンネル型のメモリセルを用いて、従来 ののチャンネル型のMOSメモリセルの端EB関条件と 反対の電圧時間条件を与えることにより、トンネル酸化 課の劣化を防まし、後機化が可能な不得発性主導体記憶 基礎を提供する。

「橡胶」 エウェルトの表面にっ型のソース解域でとす レイン領域3とが形成され、チャンネル領域8の上方 に、トンネル酸化酸イを介在してプローティングゲート 微振さとコントロールゲート微極でとが形成されてい る。この構成にあいて、データの歯込時に、ドレイン毎 域3の数数位が印加され、コントロールゲート微極化下 環位が圧が用される。これにより、ドレイン療域における パンドーパンド樹トンネル微微談話がットエンクトロン 往入鑑問により、ドレイン翻議さからフローティングが ート郷優5小電子が注入される。



11 NO 3036

4ミトンネル機化機

2:芹型鉱物碗 (ソース)

8:プローティングゲート

2a primite

6: ※※※※

3:P型蒸散器(ドレイン) 7:コントロールゲート

3a 1 pn線合

3

(特許額水の範囲)

(額求職主) お製機域の表面に形成されたり型のソー ス領域もよびも掘のドレイン策域と、鎮紅ソース領域と 前記ドレイン領域と伝教まれたチャネル領域の上方にト ンネル級化膜を介在して形式された電荷蓄積電極と、資 記鑑符蓄積電極の上方に絶縁膜を介在して形成された制 部織極と、を寄する不存就性半導体記憶装置であって、 前記不拝発性半導体記憶装置のデータの署込時に、

謝紀ドレイン領域は、貧寒症を印加するための負難位10 如学级态。

前記第荷蓋摄象器に、正案位を印加するための正常位50 MIRA. COL.

務にドレイン領域に執けるバンドーバンド選手レネル機 液器起ネットエレクトロン注入により、抑紀ドレイン機 総から前記機特整機関整へ端子の注入を行なり、不揮発 性半導体影響被嚴。

(籍物度2) お型領域の表面に形成されたり集のソー ス微域およびり得のトレイン鍛壊と、前端ソース鍛壊と 前記ドレイン領域とに挟まれたチャネル領域の上方に下 ンネル微化勝を介在して形成された報荷蓄積電極と、第 20 微。 記憶病蓄積電極の上方に絶縁競を介在して形成された制 初郷権と、を有する不様発性半導体記憶装置であって、 曲紀不得発性半導体記憶装置のデータの書込時で

前記ドレイン領域に、負電位を印制するための負電値印 物理療法

前記整落器接着機体、正常位を印加するための正常位印 和手段上, 金儀式,

前記案荷巻橋電優と前記ドレイン領域とに挟まれた影響 の前親トンネル酸化酸に強電界を印加して、FNトンネ ル現象により前数ドレイン領域から前記器室蓄積電極へ 30 領家と。 電子の往入を行なり、不護発性半導体記憶疑躍。

(請求項3) a整線域の変面に形成されたも型のソー ス領域およびり型のドレイン領域と、首紀ソース領域と 前記ドレイン銀級とに快まれたチャネル領域の上方にト シネル機化膜を有在して形成された電荷蓄積電便と、前 記憶結蓄稽電極の上方に絶縁膜を介在して形成された器 物電磁と、を有する不準発性主導体記憶装置であって、 演記不豫発性率導体記憶施置のデータの消去時に、

新記録開業機に、負責位を印刷するための負責位目如手

前記ソース経域および前記の整鎖域に、正常住を印象す るための正常位母が許手段と、を備え、

前記チャネル鐵爆に正孔のチャネル機を形成し、前記正 我のチャネル場と前記憶荷蓄積電橋との間に介在する前 記トンネル数化線に強端界を印刷して、FNトレネル製 激化より。前記電荷蓄積電極から前記正孔のチャネル層 小数子の注入を行なり、不懈発性半導体記憶装置。

[18970]4] 前紀下揮発性半導体記憶流變は、 菌的不無病性半導体記憶装置のデータの響き時に、 前記ワース領域を開放状態にする開放手段と、

前記れ型領域を採地状態にする接地手段と、をきらに有 する請求項1または請求項3に記載の不類就性半導体記 後後激。

《諸求項8》 新記ティネル結構は、り型の選込機を有 する、請求項1または請求項2に記載の不揮発性半學体

(護求項6) 前距電荷蓄積電極は、n型のポリンサコ ンである、精実限1束たは精準符とは犯職の不得発生手 ※は三倍である。

【請求事で】 前記報前衛請電極は、り握のポリシリコ 30 ンである。商家項1または胎求項2に託練の不揮発性単 **承体主接线策**。

(賃本項を) 前記ソース領域と創業ドレイン領域と は、前記業符签積電極および的記網選業機に対して、対 称構造である、精束項目または請求項2に記載の不得発 性半導体記憶後置。

(請本項9) 和窓ドレイン領域の、商配業荷蓄護業集 の下方に位置する策場の不練物濃度は、8×10100m 一以下である。韓本項目に記載の不押発性半導体記憶等

【清末曜】0】 前記ドレイン領域の、前記電荷蓄積電 協の下方も位置する領域の不純物機変は、5×10°°c mでの領域を含み、前記ソース領域の、前記準置管験電 概の下方に位置する領域の不純物業団は、6×101℃ mで以下である。請求等しに配載の不得発性半導体結構 **淡淡**。

「請求時まま」 前記チャネル領域において、

前配ソース第級に接して形成され、前配ソース領域の不 補物濃度よりも低濃度の立型不維物を有する第1不純物

前記ドレイン領域に接して形成され - 御紀ドレイン領域 の不統物議論よりも保護度のp型不両物を育する第2不 純物領域と、を備えた、請求項上に紀載の不無発性率導 体記憶裝置。

(請求項12) 前記の型領域において

前組ドレイン領域に接し、前配ドレイン機械を取譲むよ ちに形成されたも型の第3不純物像域を構えた。瞳状項 」に記載の不振発性半導体影響映響。

【額本項13】 前記トンネル酸化酶の模型さは、15 40 の面切下である、踏束項上に記録の不揮発性半導体配置 M.

【鶴本項14】 前記の整章域において、

前記ドレイン領域を牽倒むように形成されたり間の第4 不够物资增长。

新記ソース領域を取開むように形成された立型の第5平 約物額減と、を備えた、精承項2の記載の不様発性半等

(1880年15) 新紀不揮発性半導体記憶技器は、 強制ドレイン領域を開放状態にする関放手段を含らに領

50 大九、論求項3位組織の不傳発性半導体能能裝置。

3

【館水項)5】 前記制御機権と前記電荷基礎機体と前 疑ソース環域と御記ドレイン領域とでメモリセルが形成。 330

前記不得発性半導体和領導器以上

新記メモリセルが複数行むよび複数列に駆列されたメモ りセルアレイと.

第記複数行に対応して、前記答々のメモリセルの制御器 極が稼締さわたワード線と、

前配複数列に対応して、初配各々のメモリセルのドレイ ン領域が接続されたビット報と、を有する、追求項1。 23字写2または韻志項3次記載の不學発性半導体記憶減

【潜水型17】 新記不翻発性半導体記憶禁機は、

変配メモリセルの動作制御を行なり周辺医路が形成され お展売自総算機をさらに備え、

新和周辺囲路線域は o チャネル整MOSトランジスタ 秦鹤七。

有紀メモリセルの確認ソース領域と前記ドレイン領域と が、前級ロチャネル製図OSトランジスタを構成するソ ース領域およびドレイン領域と関一の構造を育する。終 20 前距界距のメモリセルの能出時に、 1999~3に記載の不振発性半導体記憶物器。

【韓末項18】 胸犯ピット線は、主ビット線と顕ビッ 主統統治、統治、統治

新説複数のメモリセルは、さ々が複数行わよび複数例に 配列された複数のメモリセルを含む複数のセクタに分割

薬記複数のセクタに対応して設けられ、各々が対応する せクタ内の複数列に対応する複数の前記算ビット線を含 む顔セット擦癖と、

線に接続する選択トランジスタを備え、

歯配選択トランジスタは、ドチャネル盤トランジスタで ある、韓立項16に記載の不得発性手事体記憶装置。

「請求率」91 歯記欄ビット線は、金属配線材料であ 計算等186定数の不規定性率率付記憶装置。

(請求項20) 蘇紀魚鷹圧印加手段は、

筋紀不得発性平等体記憶装置の書込時に、

Vd-id特性において、〈Vd:ドレイン螺圧、(d!ドレイン微微)

Vd)1の磁がりとなるVdの値V4、を増め、

Vdの絶対値がVa.の値より小さい負職位を前組ドレ イン領域に印加して、

選択されるメモリセルおよびこの選択されるメモリセル と同一の前記ピット線に接続された選択されないメモリ セルスあいて、なだれ鉄橋が超さないようにした、輸水 等16年記載の不規発性半導体記憶装置。

【継承項21】 前記メモリセルは、

筋能メモリセルの勢外線消去の後、筋能メモリセルの統

記載の不様発性主導体記憶装置。

(36本項22) 創配メモリセルは、

前記メモリセルの繋件線消去の後、施記メモリセルの絵 出版圧よりも高いしない価値圧を有する、請求項目のに 記載の不揮発性半導体認認誘簧。

【鈴本町23】 - 血盤領域の表面の形成されたっ切のフ ース領域および変型のドレイン領域と、病犯ソース領域 と前記ドレイン領域とに検索わたチャネル領域の上方に トンネル酸化膜を介在して形成された電荷帯積階優と、

10 前距電荷蓄積電極の上方に絶線額を介証して形成された 御御鑑優とを有するメモリセルと。

簡記メモリセルが複数行および複数例に起列されたメモ りせルアレマと

預記複数手に対応して、確認各々のメモリセルの制御数 極が接続されたワード線と、

前記複数列に対応して、電配器々のメモリモルのドレイ ン領域が接続されたビット報と

節記名ののメモリセルのソース環境が接続されたソース 総さ.

選択されない知能ビット線と「選択されない前記ラード **存と、前記ソース線と、前記の塑鋼域とは、第1の常位** を印加するための第1 羅拉印地手段と、

選択される前記ピット無に、前紀第1の準位よりも1~ 2 V 低い電位を印加するための第2 電位印加甲段と、

選択される前記フード様に第2の電荷を印加するための 第3幅位印刷手段と、を有する。不得異性半療体配像波 SS.

【諸求項84】 6型領域の表面に形成されたり型のソ 審配徴数の勘ピット線群を選択的に新記線数の主ビット 30 ース軍域わよびp 製のFレイン領域と、海配ソース領域 と動配トレイン領域とに挟まれたチャネル領域の上方に 上レネル酸化膜を介在して形成された関障器隔離極と、

施記電荷蓄積電便の上方に絶線数を存在して形成された 制御電極とを有するメモリセルと、

指記メモリセルが複数行わまび複数列に配列されたメモ りセルアレイと、

創能複数列に対応して設けられた複数の主ヒット線と 前記複数のメモリセルに共通に設けられたフース響とを

Vdの総対値を増加させたよきに、[(10g1d)/ - 40 - 錦記複数のメモリセルは、各々が複数行わよび複数例に 観別された複数のメモリセルを含む複数のセクタに分数

> 商記複数のセクタに対応して設けられ、各々が対応する セクタ的の複数列に対応する複数の脚ピット線を含む複 数の額ビット線線と、

> 前部複数の副ピット提群を選択的に前記機数の主ビット 機に接続するセレクトゲートトランジスタとをさらに鬱

商記断定のメモリセルの證件時に、

用電圧よりも低いしない循環圧を育する、諸字章18に「90」選択されない顔記虫ビット線と「選択されない前記虫し

カトケートトランジスタと、前館ソース線と、前庭の聖 響度に第1の電位を印刷するための第1乗位印刷手段

強調される前紀末ピット線と、選択される前記期ビット 線とに、第1の螺位よりも1~2V鉄い霧位を印刷する ための第2業位印度手段と、

遊校されない第ピット線を開放状態にする開放手段と、 選択される街にセレクトゲートトランジスタに第2の藁 位を印施する第3職位印施手段と、を有する。不輝発性 **三多位記憶器第**。

【請求項25】 前記簿1の鑑位は、正の値の外部業態 機能であり。

新記簿3の報告は、接触器的である、精準項33または 請求項2.4次記載の不振発性半導体驱鐵装置。

(請求項26) 前記簿1の報位は、接触電値であり 前に第2の職位は、負の値の外部電源電位である、請求 項23または確求項24次記載の不得異性半線体記憶被

[新求項27] 前犯不得死性中華体記憶裝置の數込時 となるように、前庭貨業分印加手段および前隔圧準位印 加手段を用いて、貧親ドレイン領域あよび前記電荷器機 解核に負擔位をよび正常位を印加する 端末率16年紀 数の不揮発性半導体記憶整廠。

(発薬の詳細な談明)

[0000]

【産業上の利用分野】この発明は、不揮発性半導体記憶 装置に関し、より特定的には、カチャネル型のメモリセ ルを用いて、 審込むよび消去などを行なる不揮発性半導 体記憶算器に関する。

[8000]

【従来の技術】近年、不得発性半導体起像装置の一種で あるフラッシュメモリは、ダイナミックランダムアクセ スメモリ(DRAM)より安価に製造できるため、次世 代を狙うメモリデバイスとして鬱鬱されている。

【0008】このフラッシュメモリを機械するメモリセ ルは、一般に、立型領域の表面に形成された立型のソー ス結域およびo型のドレイン領域と、このソース領域と ドレイン智域との探測れたデャネル領域の上方にトンネ ル激化験を介在して影談されたプローティングゲート機 40 極(電荷蓄積電極)と、このフローティングゲート電イ の上方に絶縁膜を介在して形成されたコントロールゲー 予閲提(制御閲報)とを有している。

【0004】各々のメモリセルにおいて、フース領籍に は、ソース線が接続されている。ドレイン領域には、ビ ット線が接続されている。フローティングゲート電機は 接名を蓄積する。コントロールゲート関係には、ワード 線が接続されている。

【0005】とこで、NOR型のフラッシュメモリの器 込動作わまり蕎去動作について、図るとわよび図るるを、50 には、絶縁艭るるを介在してコントロールゲート選挙る

参照して説明する。まず、素込動作においては、図32 に示すように、ドレイン蜘蛛33に5V程数の蠍圧、コ ントロールゲート37に10V程度の郷圧が印刷され る。また、ソース領域32と、カウェル31とは、接郷 盤位(37)に保たれる。

ø;

【0008】このとな メモサトランジスタのテゃネル たは、数百ゅとの難流が流れる。ソース網域32からド レイン領域33に流れた端子のうち、ドレイン領域33 近後で加速された電子は、この近後で高いエメルギーを 10 有する選子、いわゆるチャネルホットエレクトロンとな る。この電子は、コントロールゲート37に印刷された **数件による関連により、関中矢印本に示されるように、** プローティングゲート鑑懂35に注入される。このよう にして、フローティングゲート電傷35に選手の蓄鬱が 行なわれ、メモリトランジスタのしきい確認圧Vは多た とえば8Vとなる。この状態が響込状態、「○"と呼ば 22.80

【0007】次は、選出動作について、図33を参照し て説明する。ワース領域32年、5V程度の選圧が時期 なおける最大商業機能が、1メモリセル曲り1ムA以下 20 され、コントロールゲート機械37に一10V程度の縦 圧が幻覚され、り型ウェル31は後地翼位に保持され る。このとき、ドレイン領域33は現放状態にされる。 ツース領域32欠印制された鑑正による鑑券により、図 中央田8に走されるように、プローティンクゲート機像 35中の電子は、薄いトンネル酸化筒34をFNトレオ ル観象によって遊過する。このように、フローティング ゲート電報35中の電子が引き抜かれることによって、 ヌモリトランジスタのしきい磁幣圧V。。がたとえば8V となる。この状態が消去状態。"1"と呼ばれる。

> - (6068) 一方、上遊したチャネルホットスレクトロ ンにより霧込を行ない。ドロトンネル環象によって消去 を行なういわゆる舞の異響のプラッシュセル収外に、単 一種源化のために、審込および活主時の消費電力を少な くむたメモリセルが纏っ欝発されている。その上つに、 THESE MODEMAL OF SOLID-STATE CIRCUIT, VOL.25, NO. 4. APRIL 1994 : の454 夏から460 翼変たは「IELCE TR ANS. ELECTRON., VOLLETT-C, NO. 8 MIZZET : 0012799 から1206質に記載されているり LNOR (civided bit fine WW)フラッシュメモリがある。

> - 【0009】次に、このDINOR製フラッショメモリ の機能もよびその動作原理について、図34ないし図3 りを参照して説野する。まず、このDINOR類フラッ シュメモリのメモリセルの機造は、上述したNOR壁の フラッシュメモリセルと隣接に、まりェル31の委託に n型のソース鎖域32およびn型のドレイン鋼域38だ 形成されている。ソース領域32とドレイン領域33と によって挟まれたチャネル領域の上方に、トンネル酸化 護34を介在してプローティングゲート戦機35が形成 されている。このフローティングゲート電機35の上方

7が形成されている。

【6010】上紅機遊よりなるメモリセルは、一般的に スタックゲート型メモリセルと呼ばれ、ソース額域32 は、すべてのメモリセルまたは附定の複数のメモリセル よりなるプロックにおいて鑑集的に共通に接続されてい 2. コントロールゲート機構37には、ワード機が接続 されてあり、ドレイン領域33年は、ビット線に接続さ れている。このような橡成により、研定のワード線と所 定のビット線が選択されることにより、所定のメモリセ **ふが磁探されることになる。**

[0011] まず」 審込動作(Cついて、図34 および閉 3%を参照して影響する。審込動作のおいては、コント ロールゲート微様37に・8~ート1V程度の負機値が 15期され、ドレイン鎌坡3.3次、4~8V程度の正常位 が形成される。このとき、ロウェル31は接地高位(0 abla)に保たわ、ソース領域ら2は関数状態に僅たれる。 この状態に続いて、フローティングゲート関係85と、 ドレイン領域33とがオーバラップした領域のトレキル 砂化粧さんに強硬準が50加される。この微電界の印加に より、FNトンネル概象を生む、フローティングゲート 20 機機さ8からトンネル軟化機さ4を介してドレイン領域 33へ魔子が注入される。この審品動作により、メモリ せルは"Low Vii"(Vithが緩い状態)となる。 (0012)一方。箔玄跡作のおいては、コントロール。 ゲート37に、8~12V程度の正常位が印知され。シ ース循環32秒よびりウェル31に、一6~-11V程 普の育電位を与え、ドレイン領域33を解放状態に維持 する。これにより、メモリセルのテッネル部に囃子38 のチャネル圏が難成され、このチャネル圏とアローティ ングゲート機械35との間のトレネル酸化膜34に臓機 舞が相関される。この強器界により、FNトレネル頻準 が生じ、チャネル圏の電子38かフローティングゲート 微微38へ注入される。この浴去動作により、メモリセ ルは、"High Vt" (Vthが高い銃艦)とな €.

【0018】また、経出動作においては、コントロール ゲート器器37年、『月185 Vt" た "Low V こ。のほぼ中間となる3~5V程度の正常位を印加し、 フース領域33きョウェル31とを接地的變とし、ドレ イン観域33に1~2V程度の距域位を印刷するたとに、40 より、メモリセルトランジスタに鑑定が流れるかどうか を確認する。この確認により、メモリセルが『High Vt"か"しゅwVl"かを初定する。

【0014)なお、盥37は、上流したDINOR盥フ ラッシュメモリセルの素法特性を変わす様であり、嚢込 時期が扱くなるにつれて、しきい締が近の範囲内におい て小さくなることがわかる。また、図38は、上速した DINOF型フラッシュメモリセルの資去特性を表わす。 綴であり、潜衆時間が最くなるにつれて、メモリセルの しきい破が軍の総第において大きくなっていくことがわ、50、晩への正礼注入により誘続されたリーク電流の資材。」

70 33 6

100131

(発明が解決しようとする課題)以上、従来のNOR屋 およびDINOR型フラッシェメモリの動作原理につい で述べたが、上述した従来のDINOR型フラッシュメ モリには、次に述べるような問題声がある。

8

(0016) すなわち、01MOR塾フラッシュメモリ の書話動作においては、図34および図36に示すよう な難位部加機件が用いられている。すなわち、pウェル 10 3 1 を接触機位。ソース領域3 2 を開放状態。ドレイン 35を正端位、コントロールゲート継後37に最後位を それぞれ印加して、フローティングゲート電機35から ドレイン領域33に鑑予38を引き抜いている。

【りり17】この職業は、たとえば『Jeffel Technical D igest (1990) j のins 質から118異に記載または疑る 3で説明したNOR型のフラッシュメモリの指表動作と 調じ現象を用いている。このようにお勧の不純物動飲業 収電子を引き抜く方法は、たとえば「Symp VLST Text h., p.81 p.82, 1993) に記載されている。

【0.0 1.8 】たる太は上遊したD(NOR盤プラッシュ メモリについて密察した場合。図39に帯すように、フ ローティングゲート機模SSとドレイン銀線32との瞬 **に強電視がかからため、ドレイン部域32面物のカウェ** A31内で、バンド・ハンド膨トンネル概象を引き短じ す。その結果、ドレイン領域33におのて爆チー正孔対 40を生成し、ドレインリークを引き越こす。このドレ インリークは、GIDL (Cabe induced drain leakag e) と呼ばれている。

【0019】つまり、パンギーパンを関トンネル視像に よって生成された囃子・正義対すりのうち囃子自らは、 正蠍館を持つFレイン御城32年別き板かれる。一方: 正孔39は、チャネル方向に引っ綴られ、カウェル31 へと流れる。このとき正孔39は、ドレイン顕成32と カウェル31の脚の空辺緩緩界により知識され高エネル ギーを得るため(ホットホールと呼ばれる)、正孔39 の一部は、トンネル数化額34に往入されることにな

【6026】この正孔39のトンネル酸化酸34次等系 る影響は、MOSFETのゲート酸化機管療性の観点か ら広く研究が行なわれている。一般に、正孔39のトン ネル酸化機34に毎える影響は、巻しいタヌージを与え ることが確認されている。

100211762218 (5vmp. VLSI Tech., p.4%-p.4 4、1993 。 の住業深い研究によれば、ゲート絶縁器に使 用されるシリコン数化膜のTDDB寿命は、電圧印施等 な運過した正孔の総署と深い相関関係を有している。ま た、最近は「フラッシュメモリのデータ保持特性の信頼 性の微血なら、たとえば「第42国は用物理学開資連合 議論会講演予稿集No. 2 p. 656、38-4-46 * シリコン特化

の記載されているように、ゲート酸化酸へのボットホー ルの往入により。ゲート**物化源の低電圧での**サーク**端**流 が増加することが報告されている。

(0022)以上、速へたように、従来のDINGR型 フラッショメモリを心の動ける脚磯曲は、霧込時に、丘 100を発生しやすい機位的加条件となっている。その 結果、審込時に、トンネル酸化酶にホットホールが注入。 され、激しいトンネル酸化機の密化を引き起こしてしま う (文献 K. Tamer San, et al. ISET ELECTRON DEVICE S. VOI.42, NO.1, BANDARY 1995 p.150) ..

【0023】そこで、数年においては、上記のようなホ ットホールの住入によるトンネル酸化酸の的化を抑制す るために、たとえば図40年元才構造のように、ドレイ ン領域33を取開むように、穏やかなり、の不純物分布 をもった鑑界機和職4上が形成されるよりになってい る。このように電界緩和層41を設けることにより、フ ローチィングゲート電報35からFNトンネル現象によ 自電子の用き抜きを行なうコレイン領域さらに続いて、 機方向の鐵界の緩和を行なりことが可能となる。

は、不純物の核物圏とフローティングゲート機働35と の重なり基さしが長くなるために、実効ゲート基さし。 が生さくなるという欠点がある。したがって、メモリセ ルの実効ケート長の強縮化を進めた場合。この業界緩和 養4)の存在のために、より長い実効ゲート長を有する メモリセルにおいても、パンチスルーが避ぎてしまり点 いろ問題歯があった。

(0025)したかって、従来のDENOR盟フラッシ エメモリのメモリセルにおいては、実効ゲート最きの後 観化を図ることができないため、メモリセルアレイの第一39 の際に介在する上記トレネル酸化験に微電界を印加し、 禁機(とが衝離となっている。

(0028)この発明は、上配問題由を解決するために なされたもので、メモリセルの微縮化を可能にしつつ、 バンチスルー現象の起き繋い不確発性半導体配接装置を 継续することを紐約とする。

[0027]

【課題を解決するための手段】

(1) 数1の発剤

第1の食明に係る不揮発性半導体記憶装養は、n型領域 の表面に形成されたも盤のソース解域なよびり髪のドレ イン領域と、上張ワース領域と上記ドレイン領域とに被 まれたチャネル領域の上方にトンネル微化機を存在して 形成された電荷器被電報と、上記電荷器機電額の上方に 総縁級を介在して形成された網部関係とを有する不揮発 性半導体記憶装盤であって、上記不得発性半導体記憶装 強のデータの審込時に、上記ドレイン領域に負責位を印 相するための自覚位印加手段と、上記電筒蓄積電極に正 電位を印象するための正職位印加手段とを備え、上記ド レイン領域におけるパンドーバンド関トンネル電流議起 オットエレクトロン往入端液のより、上記ギレイン策域 50 は、っ型のボリンリコンを含む。

から上記電荷蓄積電標へ第子の生人が行なわれる。

[0028] (8) 第8の発明

第2の発明に係る不釋発性手等体記憶装置に起いては n型線域の表面に形成されたり型のソース線域をよびり 型のドレイン解域と、上記ソース領域と上起ドレイン策 越と広談まれたチャネル領域の上方にトレネル酸化験を **介在して形成された電荷薔薇報極と、上記電筒薔薇電極** の上方に絶機膜を介在して形成された制御機能とを育す る不極発性率導体契億装置であって、上記不釋発性半導 20 体記憶製製のデータの書込時に、上記ドレイン影域に負 電位を印削するための質量位印加手段と、上四等荷着積 器物に正常位を自由するための正常位用加手段とを備 え、上記電荷蓄積電額と上記ドレイン領域と区熱まれた 領域の上記トンネル機化製工機電棒を印加してFNトン ネル複数により上記ドレイン領域から上距端荷蓋積機機 へ選子の狂人が行なわれる。

(0029)(3) 第3の発轫

第3の発明に係る不爆発性半零体記憶装置におっては n 毎額減の表徴に形成されたり型のフース鎖域およびり 【0024】しかしなから、この鑑異機和機4】の形成 20 型のドレイン領域と、上約ソース領域と上部ドレイン領域 域とに挟まれたチャネル領域の上方にトンネル概化漢を **介存して形成された電荷器領電標と、上記電荷器積電係** の上方に絶縁順を介在して形成された明御郷極とを育す る不揮発性主導体記憶装置であって、上記不運発性主導 体記憶装備のデータの消去時に、上記制御電標に負電位 を印加するための貨幣位の加手段と、上紀ソース領域お よび上記し監修域に正義的を印加するための正微位距加 手段とを備え、上記チャネル領域は、正孔のチャネル機 を影成し、上記正孔のチャネル器と上記簿商器機業器と FNFンネル機能により、上記機構器機器機がも上部形 孔のディネル圏へ塞子の在入を行なっている。

【9030】(4) 第4の発張

第4の発明に係る不懈発性半導体配機振躍においては、 上記第1または第2の発揮において、上紀下揮発性半導 体配像装置のデータの署込時は、上記フース領域を開放。 状態にする関急手段と、上記α空領域を接地状態にする 接踵手段とを備えている。

【0031】(5) 第5の発揮

第5の発明に係る不様発性半導体記憶装置においては、 上記第1または第2の発明にあいて、上紀チャネル領域 は、2個の権法階を含む。

(0032)(8) 数6の発制

第8の発明に係る不揮発性率導体記憶装置においては 上記等しまたは第2の発明において、上記電荷器機構器 は、n器のボリシリコンを含む。

【0033】(7) 第7次系統

第子の発明に係る不揮発性半導体配種装置においては、 上記第1または第2の発明とおいて、上記業務蓄積電位

【0034】(8) 第3の発明

第8の発明に係る不揮発性半導体に拡減管においては、 上記幕!または第2の発視にあいて、上記フース領域と 上記ドレイン領域とは、上記業荷養養電優わよび上記期 御電腦に対して対称構造である。

(60351(9) 第9の機関

第8の発明に低る不御発性半導体記憶網騰に載いては、 上記第1の発明において、上紀ドレイン領域の、上記簿 荷蓄積蓄極の下方に位置する領域の不純物濃度やよび上 経域で学成物選問は、5×100cmで見下である。

(0038)(10) 第10の総数

第100年的に保る不得発性半導性記憶振躍において は、上記簿1の発明において、上記ドレイン領域の、上 20個指数複数板の下方に位置する能域の不過物機関は、 るメ10°°cmでの領域を含み、上記ソース領域の。上 記載頻器機器機の下方に位置する循環の不純物構製は、 5×10" om UFTSS.

【0037】(11) 第11の発明

第11の発明に係る不得発性半導体記憶装置において は、上記第1の発明において、上記チャネル領域におい て、上級ソース領域に接して形成され、上記ソース領域 の不練物濃度よりも低温度の立型不純物を有する第1不 - 純物領域と、上記ドレイン領域に探して形成され、上記 下レイン銀塔の不純物修改よりも観測度の京型不純物を 有する第2 不純物解釋とを備えている。

(6038) (12) 第12の発明

第12の発明に係る下揮発性半導体記憶装置において は、上額第1の発明において、上記も準備域において、 上窓ドレイン領域に接して、上窓ドレイン領域を収断む 30 材料である。 ようにして形成された点型の第3字純物領域を備えてい ζ,

【0039】(13) 第13の発明

第13の発明に係る不揮発性半導体記憶装置において は、上記第1の発明であって、上記トレネル微化瞭の順 摩は、15mm以下である。

【0040】(14) 第14の発現

第13の発明に係る不振発性事業体記憶接際において は、第2の発明であって、上記の型銀塔において、上記 物領域と、上記ソース領域を取用むように形成されたの 200年5年減物能物とを構えている。

【0043】(15) 第15の発明

第18の発明の係る不振発性半導体的危険器において は、第3の発明であって、上記ドレイン領域を開放状態 にする関数手段をきるに備えている。

(6042)(18) 第18の発明

第18の発明に係る不構発性率率体配達表置において は、上記簿)または第2の発頻であって、上記制御電機

域とでメモリセルが形成され、上記不構発性半導体影響 装置は、上記メモリセルが複数行むよび複数列に配列さ れたメモリセルアレイと、上記複数領に対応して上配符 々のメモリセルの制御電極が接続されたワード線と、上 密複数列に対応して上部各々のメモリセルのドレイン領 域の接続されたビット線とを有している。

【0043】(17) 第17の強限

第17の発明に係る不揮発性率等体配键装置において は、上祝第18の発明において 上配メモリセルの動作 紀ドレイン微域の、上記整符蓄機電極の下方に位置する。10、制御を行なう風辺揺路が形成される周辺部路領域をさら に備え、上記周辺回路領域はコチャネル型MOSトラン ジスタを育し、上紀メモリセルの上紀ソース領域と上記 ドレイン顕域とが、上記ゥチャネル型MOSトランジス **タを構成するフース領域およびドレイン領域と同一の特** 遊を有する。

【0044】(18) 第18の強烈

第18の発明に係る不揮発性手導体記憶装置において は、第16の発揮であって、上紀ピット線は、主ビット 線と額ビット線とを含み、上記複数のメモリセルは、各 - 20 - 々が複数行わよび複数例に限列された複数のメモリセル を含む複数のセクタに分割され、上配複数のセクタに対 応して殺けられ、各々が対応するセクタ内の複数形に対 応する複数の上配額ビット寝を含む糊ビット経緯と、上 記複数の別ピット総群を選択的に上記複数の主ビット除 て接続する選択トランジスタを鑑え、上紀選択トランジ スタは、カチャネル微トランジスタである。

【0045】(19) 第190条期

第19の金明に係る不識発性半導体記憶装置にむいて は、第10の発展であって、上記額ビット検は企識配域

【0046】(20) 第20の発射

第20の発明に任る不知発性半導体記憶装備において は、第18の発明であって、上記貨業団印用学設は、上 記不揮発性半導体配锭装置の管品時に、Va‐ia特性 において(Vd:ドレイン端胚。) &:ドレイン機 流)、Vヨの絶対値を増加させたときに、{(10g) せ〉/ソは〕 *の確如じとなるVaの様Va,を求め、 Vdの絶対値がVd、の値よう小さい質難位を確認ドレ イン領域に印加して、選択されるメモリセルおよびこの ドレイン領域を鍛冶むように形成されたり型の第4不純。40、選択されるメモリセルと同一のビット線に接続された激 訳されないメモリセルにおいて、なだれ破壊が組まない ようにする。

[0047](21) 第21の発表

第21の発明に係る不様発性半導体配憶装置において は、繚16の発動であって、上記メモリセルは、上記メ モリセルの繁外線消去の後、上記メモヨセルの統件総任 よりも低いしきい顔罨圧を有している。

[0048] (22) | 数22の発照

第22の発明に係る不揮発性単導体影響施置において とも影響荷養積電機と上前ワース領域と上記ドレイン領 50 は、第18の発額であって、上記メモリセルは、上紀メ 生りセルの紫外線湯去の後、上紀メモリセルの凝出鐵圧 よりも高いわきい策器既を育している。

(0049)(23) 第23の銀幣

第23の発明に係る不揮発性事業体記憶装置において は、五型領域の表面に形成された工程のソース領域およ びり型のドレイン領域と、上起ソース領域と上紀ドレイ ン領域とに挟まれたチャネル領域の上方にトンネル額化 器を介在して形成された器荷蓋積電像と 上記電荷蓄積 器機の上方に絶縁機を介在して形成された制御電機とを 有するメモリセルと、上記メモリセルが複数行および複 10 数別に概例されたメモリセルアレイと、上記複数行に対 恋して、上記各カのメモリセルの制御機器が接続された。 ワード稼む、上配複数例に対応して上記各々のメモリセ ルのドレイン領域が接続されたビット棚と、上記答々の ヌモリセルのソース領域が接続されたソース線とを有 し、上記所電のメモリセルの読出時に、選択されない止 紀ピット線と、選択されない上記ワード線と、上記ソー ス線と、上記の型領域とは第1の業性を印制するための 第1端位の助け殺と、選択される上記ピット線に、上記 2端的印加手段と、選択される上配ワード級に第2の常 位を印加するための第3階位印加手段とを有している。 (0030) (24) 第84の翻り

第24の発明に係る不準発性半導体配修装置において は、『な難解の変調に形成された』2型のフース模様およ びっ盤のドレイン鍵盤と、上記ソース像域と上配ドレイ ン領域とに独まれたチャネル領域の上方にトンネル酸化 膜を介在して形成された電荷蓄積電極と、上記電荷蓄滞 関係の上方に地縁線を介在して形成された制御業権とを 数例は観測されたメモリセルアレイと、上記線数列に対 珍して飲けられた複数の血ビット機と、上記複数のメモ **リセルに共通に設けられたフース線とを構え、上紀複数** のメモリセルは、苔々が複数行わよび複数所に配列され 大機器のメモリセルを含む複数のセクタに分割され、上 紀複数のセクタに対応して設けられ、各々が対応するセ クタ内の複数例に対応する複数の類ピット線を含む複数 の限にット練得と、主記複数の額にット線群を選択的に 上記機数の主ビット線に接続するセレクトゲートトラン に、選択されない上記率ビット提と、選択されない上記 セレクトゲートトランジスタと、主紀ソース縁と、主紀 1 型部域に第1の総位を電加するための第1機位目的手 領土、選択される上記主ビット減と、選択される上配額 ピット縁とに楽しの雑位よりも1~2 V低い郷位を印加 するための第2魔位低加半設と、選択されない朝ビット **稼を開放状盤にする開放手段と、選択される上記セレク** トゲートトランシスタに第2の職位を印加する第3難位 印油手段とを有している。

【0051】(25) 第25の発明

第28の発明に係る不揮発性半導体記憶減緩において は、第23または第24の発明であって、上記第1の業 位は正の磁の外部電源電位であり、上記第2の電位は様 総徴位である。

44

(0052) (28) 第28の発明

第28の発明に係る不構発性半導体記憶装置において は、第2日または第24の発売であって、上記第10条 付は接機器位であり、上記第2の器位は真の部の外部署 激魔位である。

(0053)(27) 第27の発明

第27の発明に係る不課発性半導体記憶製機において は、第18の発明であって、上記不知発性半機体を選抜 激の書込券における最大消費電流が1メモリセル曲り1 ルA以下となるように、上紀鈴爾位即知手段やよび近常 位印加手段を用いて、上紀ドレイン領域および上記電荷 蓄積電極に、負電位むよび正電位を印加している。 100541

【作用】第1、第4~第13、第16~第22の発現に **停る平穏発性半爆体記憶装置においては、エチャネル型** 第1の繁位よりも1~2V低い難位を自加するための第一20 のフラッシュメモリを用いて、このフラッシュメモリの データの審込時に、ドレイン領域に負機位、環境部構業 極に正確位が印加される。

【0088】これにより、ドレイン節機はあいてバンド ーパンド関トンネル機能が発生し 選手・正孔対が生成 される。そのうち囃子は掛方向の機界によりチャネル方 **物に囲運され、高エネルギーを育するホットエレクトロ** ンとなる。とのとき 新御電像に正常位が印度されてい るため、このホットエレクトロンは容易にトンネル機能 糖に注入され、滋荷蓄積鑑価まて達することができる。 有するメモリセルと、上記メモリセルが複数行わぶび複 30 このように、バンキーバンド開トレネル電流誘躍ホット エレクトロン往人により、電筒蓄積電極への電子の往人 が行なわれる。

> [0058]次に、第2、第4~第6、第14、第15 〜新20の発明に係る不揮発性率導体記憶装置において は、圧迫した発頻と同様に、カチャネル器のフラッシュ メモりを用いて、このフラッシュメモりのデータの答法 時に、ドレイン領域に会議圧、電荷管機衛艇に正常位が 印施されている。

【0057】これにより、魔紋薔薇電極とドレイン領域 ジスタと巻きらに儀え、上記所定のメモリセルの読出時 40 との縁なり領域上のトレネス微化膜に腕階界が明期され る。その強端弊により、FNトレネル現象が生じ、ドレ オン領域からトンネル酸化機を介して電荷常領電機へ電 子を狂入することが可能となる。

> 【0058】次に、第3、第15、第16~第130発 明に係る不獲発性手導体監擦装置にあいては、カチャネ ル饗のブラッシュメモリを描いて、このブラッシュメモ ガのデータの消去時に、制御電極に監鑑値をお加し、ソ 一ス総裁をよびの整領域に正常位を印刷している。

【0089】とれにより、チャネル領域に正孔のチャネ 30 ル増か形成され、この正孔のチャネル圏と電荷蓄積電極 との間に介在するトンネル酸化膜に強電界が印加され る。そのため、とのトンネル酸化酸において、FMトン ネル根原が生じ、電荷器後電極から正孔のチャネル圏へ **端子の注入を行なうことができる。**

【0080】次以、第23、第25、第28の展界体係 る不療発性主導体記憶装置においては、カチャネル型の いわゆる808髪のフラッシュメモリを用いて、このフ **ラッシュメモリのテータの設定時に、選択されないビス** ト復と、選択されないワード流と ソース線と、12階級 域に第1の機位を印加し、選択されるヒット線に、第1。 の難技よりも1~2∨低い機位を印施し、避免されるフ - F線に第2の準値を時期している。

【0081】 このようにして、第1および第2の難位の 2 機額の電位を印加するのみでフラッシュメモリの競出 動作を行なうことが可能となる。

[0062] 次に、第24、第25、第36の発明に従 る不構発性事業体配施跨騰においては、カチャネル型の シわゆるり1NOR類のフラッシュメモリを用いて こ のプラッシュメモリのデータの蔵出時に、選択されない 世ピット線と、選択されないセレクトゲートトランジス 20-タと、ソース線とn型鋼板に第1の電位を印刷し、機探 される主ビット線と選択される湖ビット線と佐第1の常 位よりも!~2V飯の難位を印加し、選択されない闘ビ ット探を粥食状態とし、選択されるセレクトダートトラ ンジスタに第3の機位をED別している。

【0083】におにより、カチャネル部のD(NOR型 プラッシュメモリの縦指跡において、2つの機位を用い もことにより、データの脳斑を行なうことが可能とな

(0064)次に、第4の発射に係る不懈発性半導体能 30 惨壊魔においては、寒りおよび寒さの飛りであって、平 **獲発性平線体配像整膜のデータの得込線において、きち** にソース領域を開放状態にする開放手段と、 n型領域を 按地状態にする接触手段とを領えている。

(0086) とれるより、データの響込時において、不 機能性本導体記憶装置の動作を表定して行なりと上が可 能也なる。

【もりさせ】次に、第5の発明に係る不揮発性半導体能 警察器においては、第上および第2の発酵であって、デ ャネル領域のり置の理話機を育している。

【0037】このように、り間の推込署を設けることに より、主盟領域とモンネル輸化機との発動でのホールの 数組によるボールの移動数の低下を解的することができ

【0088】次に、締8の発明に係る不機発性半速体記 後装備においては、毎日および第2の発明において、電 - 結整積機器がa型のボリシリコンである。

(0088) とのように、電筒蓄積電額をも型のボリシ リコンとするととにより、ドレイン領域における変面操 方面需要が高くなり、ドレイン部域におけるバンドーパ So 記憶装置においては 第1の発戦であって、ギレイン領

ンド関トンネル機能の発生が増入し、かつ相速業界が増 大する。そのため、トレイン領域において、第子が得る エヌルギーが高くなり、器込効率を向上させるたとがで \$ C.

[0070]次に、第7の発明に係る不揮発性半導体説 極速微気むいては、第1および第2の無難であって、薬 荷薔薇電猫がり壁のボリンリコンである。

【0071】このように、電荷蓄積階級をり型のポリシ サコンとすることにより、ドレイン観域における表面機 - 10 - 方向電界が高くなり、ベンド バンド棚トンネル電流の 発生療が増大する。そのため、ドレイン領域における加 強電界が増大するため 電子が得るエネルギーが高くな な、審送効率が向上する。

【0072】次に、第8の発閉に係る不審発性平導体部 **(独族優にわいては、第1および第2の総独であって、ア** ース領域とドレイン領域とは、電商蓄機電機および制御 審例に対し対称構造となっている。

【0073】とのように対称機適とすることにより、フ ス領域およびドレイン領域の意成時におけるイオン注 入時におけるマスクを削減でき、マスク枚数の減少およ ど製造工権数の削減によるコスト低減が可能となる。

(0074)次は、第9の発明に係る不確定性半層体記 機装置においては、第1の発明であって、電荷蓄積電機 の下方に位置するドレイン部議約まぴソース領域の不統 物機度は、5×10%でので設下である。

(3075) これにより、バンドーバンド間トンネル業 統誘翼ホットエレクトロン住人電流を用いて審込を行な う不爆発性主導体記憶装置において、突動ゲート長さが 娶く、かつ鐵網化すなわち高葉摘化が同能なメモリセル を得ることが可能となる。

【9678】次に、第10の発射に係る不理条性半導体 監管落置に赴いては、第1の発明であって、電荷蓄積業 傷の下方に位置するドレイン領域の不純物譲渡は、5× 10mcmmの領域を含み、電荷蓄積電極の下方に住置 するソース物域の不純物濃度は、5×10~cm~以下 ారచిన్న

すりロア3)との縁途を避いることにより、ドレイン譲 域でのバンドーパンド器トンネル電流の発生機を大きく することができる。その結果、養品滋食の抑止および養 の 見時のドレイン衛圧と無得電極電圧の係業圧化が可能と

【0078】次に、第11の発網に係る不揮発生率等件 金融鉄鋼においては、第1の発網であって、ソース領域 **に接する第1不純物節域と、ドレイン解域に接する第2** 不純物領域とを備えている。

【0079】との構造により、いわゆるLDD構造が楽 期し、突効ゲート扱きが扱く、繊細化すなわち高葉様化 が可能なメモリセルを得ることが可能となる。

100891次に、第12の発期に依る平衡発性半導体

基を取磨むように築り子純物領域が形成されている。

【0081】とればより、ドレイン変遷機における機方 肉種弊が増大し、効率よく電子を高エネルギー化するこ 上ができる。

(0082)次年。第13の発明に係る不揮発性率導体 紀鐘設置においては、第1の発明であって、トンネル酸 仕騰の設準を15μm以下としている。

【0083】これにより、たとえば比較的低電圧で、トンネル酸化解に高端界が印知されるため、バント・バンド領トンネル電機を効果的に発生させることができる。 【0084】次に、第140発明に係る下揮発性半導体 記憶級翼においては、第2の発明であって、ドレイン領域を取扱の第4不純物領域と、ソース領域を取扱を第5 不純物領域とが形成されている。

(0085)この構造により、ソース領域に形成された 第5子組物選続により、メモリセルのバンチスルー耐性 を向上させることができる。また、ドレイン領域に形成 された第4子減物領域により、ドレイン領域とも認領域 よの間の制圧を向上させることが可能となる。

(0088)次に、第15の発明に係る不揮発性半導体 20 記憶数鑑においては、第3の発明であって、消去時に ドレイン領域を認放状態にする開放手段を備えている。 (0087)とれにより、不得発性半導体変後純麗の消

【〇〇87】とれにより、不得発性半季体紀憶装器の単 去動作を安定して行なりことが明緒となる。

【0088】次に、第18の発明に係る不様発性半線体 記憶装置においては、第1、第2、第3の発明であっ て、制御機器と解荷者接触像とフース領域とドレイン側 域とによりメモリセルが形成され、このメモリセルが復 数行および複数列に配列されたメモリセルアレイと、メ モリセルの制御機構が接続されたコード線と、メモリセ 30 ルのドレイン組織が接続されたビット線とを有してい

【0088】したがって、ロテキネル型のメモリセルからなるたとえばNOB型のフラッシュメモリや、DIN OR型のフラッシュメモリを様務することが可能とな ス

(0090)次に、第17の発明に係る不爆発性主導体 い値と関外線距射等 記憶装版においては、第18の発明であって、メモリセ る。このとき、考定 ルのソース領域とドレイン領域とが、周辺間路領域に形 対する創性が高まり 域されるリチャネル型MOSトランジスタのソース領域 40 ことが可能となる。 およびドレイン領域と同一の構造を有している。 (0100)次に

【0091】上述した椽道を用いることにより、メモリセルと、周辺筋路領域に形成されるトランジスタとのソース経域およびドレイン領域のイオン住人のためのマスクを継載することができる。

(0002)次次、第18の発揮に従る不爆発性事務体 記憶蒸凝においては、第16の発明であって、いわゆる 主ビット線と際ビット線とを有するDINOF型不構発 性半導体記憶装置において、遂続トランジスタにカチャ ネル型トランジスタを用いている。 38

(0083)この構造により、選択トランジスタをメモリセルと関一のウェル内に形成することが可能となる。 (0084)次に、第18の発明に係る不揮発性半等体 配接裁判においては、第18の発明であって、いわゆる 主ビット線と測ビット機とを含するり「NON型不難発 性半等体配換接觸において、脚ビット線が、金塚振線行から形成されている。

(0095) この構造により、従来のボリシリコン材料による選ビット線に比べ、ドレイン領域とのコンタクト 10 ほ抗を低くすることができる。また、金鷹配線材料を用いることにより、配線無額が極めてほくなり、要ヒット 線による資金退貨効果を抑えることができる。

(0098)次に、第20の発明に係る不理発性半導体 記憶誘展においては、第16の発明であって、不得発性 半導体影像装置の審込時において、ソコートは特性にお いて〈ソコ:ドレイン選注、トコ:ドレイン選注)、ソ 司の総対値を増加させたときに、「〈10を1司〉/ソ 司) の値がひとなるソコの値ソコ。を求め、ソコの絶 対値がソコ。の値より小さい負電値を前記をレイン環域 に印加して、競技されるメモリセルと、選択されないメ モリセルにおいて、なだれ継续が起きないようにしている。

【① ① ② 7 】 これにより、たとえば、なだれ破場が揺ぎるような負電位を印度した場合のような選択されないメモリセルにおける消費電流が大きく増大し、メモリセルの頻質電力の増大を招くことや、器込選圧を一不得発性半準体配憶装置内の遅圧問路を狙いて生成している場合において、環境機能能力に制能があるため、設別に搬込可能なメモリセルの数が減少し、結果的に1メモリセル、無りの番込速度の低下を賠償することが可能となる。

【6098】次に、第21の発明に係る不得発性半導体 記憶整備においては、第16の発明であって、メモリセルの報外線消去の後、メモリセルの競出電圧よりも低い しまい値電圧を有している。

(0099) これにより、たとえば総出総圧よりしきい 金銭圧が高い場合と比べ、消力状態のメモリセルのしき い値と常外線解射後のしきい金銭圧との差が大きくな る。このとき、素込時におけるドレインディスターブに 対する耐性が高まり、メモリセルの信頼性を向上させる ことが可能となる。

【り100】次に、第22の発用に係る下準発性工事体 記憶綺麗に起いては、第16の発明であって、メモリセルの勢外極情点の後、メモリセルの競出機圧よりも確い しまい傾電圧を有している。

【0101】これにより、舒迅時におけるディスタープ に対する耐性が適まり、メモリセルの信頼性を向上させ ることが可能となる。

【0102】次に、第23の発明に係る不離発生半導体 超微線機においては、pチャネル盤のNOR盤のフラッ SU シュメモリを開い、このNOR型のフラッシュメモリの

データの波拉時に、選択されないビット線と、選択され なはxウード線と、ソース線とお短領域とに第1の鍵位を 印加し 選択されるビット級に第1の業位よりも1~2 V張い電位を印加し、選択されるカー主線に第2の業位 を知期している。

(C)03) これにより、第1および第2の3種類の塞 位を用いることにより、ロティネル型のいわゆるNOR 29のフラッシュメモリの輸出動作を行なうにとが可能と なる。

(0104) 次に、第24の発射に係る不識発性率導体 10 影像装置欠おいては、ゥチャネル墨のDINOR型のフ ラッシュメモリを用い、このDINOR製のフラッシュ メモリのデータの競出時に、選択されない主じっト拳 と、選択されないセレクトゲートトランジスタと、ソー ス線とも型磁域に第1の電位を印筒し、透探される主ビ ット綴と選択される淵ピット線とは、第1の報位よりも 1~2 V低い電位を印刷し、選択されない網コット線を 舞放状態にも、選択されるセレクトゲートトランジスタ に第2の報位を印刷している。

NO3盟プラッシュメモリの適出時において、2種類の 難位を用いることにより、協出動作を行なうことが明確 3000

【0 10 8】次は、第25の発明に係る不揮発性半機体 紀徳装置においては、第23または第24の発射であっ て、第十の郷位は王の領の外部報導権位であり、第2の 器的は経験器位である。

【0」07】これにより、メモリセル内においては、正 ○値を外継機機能位のみを用いることにより、カチャネ ル盤のDINOR型フラッシュメモリの麓<mark>出動</mark>作を行な うととか可能となる。

↑03031次に、第28の発明に係る不頻無性半導体 配性接触においては、第23または第24の発明であっ て、第三の電信は接速機位であり、第3の機位は真の値 の外部総器機能である。

【0 10 9】とれにより、メモリセル内のおいては、食 の磁の外部電源鐵位の3つの磁位を用いるととによりカ チャネル壁のDINOB壁フラッシュメモリの続出動作 を行なうことが明確となる。

(自110)次に、第27の発明に係る不揮発性率導体。 記憶装製なあいては、第18の発明であって、素込時に おける最大消費**搬**速であるドレイン電流が、主ゅA以下 となるように搬送機匠印度条件が設定されている。

[0][[]] とれにより、たとえば最低1000個以上 のメモリセルを開助に批判に蓄込が可能となり。メモリ 七ル当りの実効器込建設の高速化を実現することができ

101121

[美)溶例[]

(第三案終例)以下、この機関に貸づいた第三の実施機 50 R型フラッシュメモリセルの将去特と逆の機能の推住総

4cついて、関を参照しなから裁判する。まず、この第1 の実施例における不揮発性主導体記憶装置の構造につい て一図1を参照して級別する。

23

(0)113]この実施例における不揮発性干薬体認識装 翼の構造は、カ型ウェルトの表面に、p型のソース領域 2.およびり髪のドレイン領域3が形成されている。な あ。図1において、ソース領域とおよびドレイン領域さ とれウェルしどの境界に、それぞわりれ接合とは、うる が形成されている。

- [1] [1] リース額域2 とドレイン領域3 との[編以検 支むたチャネル循環8の上方には、トンネル酸化源4を 介在して、フローティングゲート電標5が形成されてい る。とのプローティングゲート電極もの上方には、絶縁 職8を介在してコントロールゲート微極7が形成されて いる。なお、絶縁疑らは、一般的には、微化験、窒化験 ぬよび酸化酸からなる3種の積層膜が用いられている。 (0115)上記構造よりなる不澤発性干導体配貸保置 の審込、消去および議出動作について設果する。

[0] [] 8] ます業込時においては、図しおよび図4そ 【0 1 0 8 】これにより、カチャネル型の(4わゆる) 1 - 20 - 参贈して、コントロールゲート厳極でにも~ 1 1 Y 経度 の正確位を印加し、ドレイン領域3に一3~一10 V程 度の貨幣位を印加し、ソース領域2を開放状態にし、ロ ウェルトを接続螺位とする。すなわち、従来のエチャネ ル盤MOSトランジスタを用いた()) NOR型フラッシ ュメモリセルの審込時と逆の犠牲の電位配置て電位を印 瀬する。

> 【0117】このときの、図1のAで示す領域における 審込動作の僕式質を匿名に示す。ドレイン領域3におい マーバンドーバンド魔キンネル魔族が發生し、魔子上拍 現対4が生成される。そのうち選子9 aは、横方向選昇 なより、チャネル8方類に加速され、高エネルギーを有 する本ットエレクトロンになる。このとき、コントロー ルゲート7には圧燃位がED加されているため、このキッ トエレクトロンヨカは容易にトンネル酸化叢4に住入さ れ、プローティングゲート電機方に達することができ る。この、バンドーバンド難トンネル機減蒸起ホットエ レカトロン総入により、プローチィングゲート機械5へ の電子の夜入を行ない。 本実施例におけるメモリセルの 搬込動作を行なっている。

- {6} {8} この響込動作により、メモリセルは。 "L ○w Vま* (Vtbが低い状態。ただし、ゥチャネル 数トランジスタのため、質の符号で絶対値が小となる。 8.) 248.

101191次に、潜去動作につって、照3秒よび関4 を参照して説明する。得去動作においては、コントロー スゲート常極7に - 5 ~ - 12 V程度の数端値を印刷。 も、ソース領域2およびnウェル1次5~12V程度の 正鑑位を印加し、ドレイン領域を開放状態とする。つま り、nチャネル塑MOSトランジスタを用いたDINO 選欠より、チャネル部8に正孔のチャネル爆を形成す る。上述した常位配置により、チャネル圏とフローティ ンガゲート電腦ちどの間のトンネル酸化態する強電器が 印加され、下日トンネル現象により、プローティングゲ ート職傷もから正孔のチャネル器へ電子が引き抜かれ る。この消去動作により、メモリセルは、 "Hish ▽ t * (▽ t h が高い状態:ただし、カテャネル型トラ シジスタのため、質の符号で絶対能大となる。)とな

(0120)さらに、窓出動作においては、図4に示す ように、コントロールゲート電機では、 "High V も"と"Low Vii"の課意中間となるー1、5~~ 5 V網度の台端位を印加し、ソース領域2およびエウエータエー **ル1を接地搬位とし、ドレイン第項3に一〇。1~一2** ソ程度の負権位を印加する。

(0121) この電位配置により、子担発性半準体配線 装置に微性が流れるかどうかで、この不振発性半導体配 徳装術が"Low Vt"がを制定する。

【0122】ことで、関5および図8は、この実施例は 作を示す数である。

[0123] 被乗技術における図35をよび図36で用 した書込特性わよび選去特性と比較した場合、本実施例 でおける療法特性においては、しきい値がともに負む値 となっていることがわかる。

【0124】このように、李実施例にあける不薄発性半 ※体部塗装器においては、φチャネル型のMOSトラン シスタで形成し、図るな示すような螺位条件により行な **うため、番込結においては、ドレイン領域3近僕におい** てパンドーパンド電トレネル機能により発生する電子。 正孔対ののうち、正孔のカはトレイン鍛成るへと引っ張 ちわ、さらに、ドレイン領域3においては、正孔の機模 が高いために確塞のような、数乱を起こしエネルギーが、 **寒われ、高エネルギーを有するホットホールとなること** がない。また、仮にホットホールが存在した場合におい ても、プローティングゲートもは正常位になっているた め、本ットホールが油入されることはあり得ない。

【9125】したがって、トンネル酸性膜4へのホット ホール性人を超しずにとがなく。従来のヵチャネルのM 砂化膜へのホットホール注入によるトンネル酸化薬の萎 しい劣化を防ぐたとが困能となる。

【0128】また。 ボットホールのトレネル酸化膜への 注入が起きないため、従来のnチャネルのMOS領メモ りせルにおいて、突然ゲート展さの確保についても。従 寒のような電界線和器の形成が不要であるために、従来 のムチャネルのMOS型メモリセルの機造に比べ、より 微細化が四能となり、すなわち高樂職化が可能となる。

【0127】ことで、題7を参照して、图1は示す構造 にぬいて、フローティングゲート機働もとコントロール SC を用いて、カテャネルのMOS型メモリセルを用いたD

ゲート機械でとを接続した場合の1カーVまおよび18 - 7 a特性を説明する。なめ、1dはバンドーバンド間 トンネル現象で発生した構造の値であり、主要はインド - バンド間トンネル電流誘起ホットエレクトロンにより トレネル酸化酸すべの住人鑑賞の値である。Vgはコン トロールゲート電極7の電圧である。

【0128】注入効率1g/1cを、実際の使用条件に 近い霧位の胸条件として、Vd=-8V、Vg=8Vの 条件において考察すれば、関子に示すように、注入効率 (2) は、約16㎡の森の効率を得られていることがわかる。 (0)29)従来のカチャネルMOS壁メモリセルのフ ローティングゲート機械からドレイン領域へのFNドン ネル電流による電子の引き抜きにより書込動作を行なっ

た場合、FNトンネルによるゲート雑選1gと、バンド - パンド間トレネル機能によるサーク機能主はの比率主 x/loに比べ、本実施例における器込方式によれば、 1g/ldは1桁から2桁効率が良い。

【0】30】このように、注入効率(6/1dが、従来 のメモリセルに比べ高いことが、従来の審込方式と蜀一 おける不解発性半導体配機装置の書込特性および消去特 20 の建度での帯込を、低消費鑑度で実現することを可能と している。また、従来と同一消費電流で搬込を行なり場 台。高盛で書込を実現するととができることを意味す 8.

> 10-13-11以上のように、本実施例にあける不類発性 半導体記憶装置の書込方式によれば、従来のモチャネル のMOS盥メモリセルにおけるフローティングゲート機 極からドレイン領域へのFNトンネル電流による電子の 引き抜きを搬込または消去動作に用いるものに比べて、 トンネル酸化酸の多化の防止、美効ゲート及さの有効利 30 用といった有意性のみならず、低消費電流化むよび高速 搬込が実現することが可能となる(参考文献:S. Hadde & et. a). HERE ELECTRON OFFICE LETTERS, VOL. No.1. 1, MONEMBER, PULA, 1990).

(0132)また、図しに示すように、ソース領域2を よびドレイン領域3がフローティングゲート電像5およ びコントロールゲート関極では対して対称構造となって いるため、ワース観聴さおよびドレイン観戦後の形成時 において、不綿燃生入の打ち分けを行なうことなく形成 するととができる。その結集、従来のじまNOR蟹ファ の3個メモリセルで大きな問題となっていた、トンネル - ao ニッシュメモリセルや。NOR盤フラッシュメモリセルの ように、ソース領域とドレイン袋域とが非対称構造のも のに対して、マスクを開放でき、マスク枚数の減少知よ び製造工程数削減による不揮発性半導体記憶装置のコス トの低減が可能となる。

> 【り133】 (第2実務例) 次に、この発明に基づいた 不揮発性半導体記憶装置の第2の実施欄について、説明 3.8%

> (0134)との第2の実施機における不得発性率導体 記憶機器は、上述した第1の実施的におけるメモリセル

23

1NOR型プラッシュメモリを実現させたものである。 【の135】このDIROR盥フラッシュメモリに含ま れるメモリセルマトリックスは、以下に説明するように 複数のセクタに分割されている、表しへ表3には、選択 されたセクタ内のメモリセル(メモリトランジスタ)む よび非選択のセタタ内のメモリセル(メモリトランジス タ)への電圧的加条件が示される。表しないし要3にお いて、Vaはドレイン選注、Vgはコントロールゲート 常極強圧、Vaはソース領域端圧、Vbbはnウェル電 て振しており、セクタ数、メモリ数なとは、簡単のた め、少ない数での例を示している。

10:361

12011

	288	R to D o	2 (30)8 0	# E	##	銀動力	988	38.8 E
	Vđ	Усф	Vs	VBX	Vd	Vog	٧s	Vbb
***************************************	**	-107	87	8V	88 2%	97	87	87

101371

(義2)

被以終母的後進

				X.	38	# #8:	(I) (I)	8 660
	Vd	Vog	٧s	Vibb	Vd	Yog	Vs	Violo
	-87	87	糊放	θV	MAX.	97	01/	ΩV

(0138)

(**3**₹3)

器据器形态 電压

	3	1.57836	£ 36 48)		*	38 95 83	180504	(38)
***********	Vd	Veg	¥3	V3X5	Vd	Veg	¥s	Vibio
	84	97	37	3٧	** #	3V	3V	34

188.83

図8は、この実施例における不振発性半導体記憶装置の 全体の構成を示すブロック図である。

【0】40】メモリセルマトリックス70はセクタSE 1. SE2亿分割されている。メモリセルマトリックス 70は、セクタSE1、SE2にそれぞれ対応するセレ クトゲートSGI、SG2を含む。メモリセルマトリッ クスでもは、おウェル領域でも内に形成される。

【0141】メモリセルマトリックス72は2つの主じ

20

9、M3) はそれぞれ Yゲート 7 2 内の Yゲートトラン ジスタYGO、YGIを介してセンスアンプラスあよび 書込脚路53に接続される。

〔0142〕主ビット鰺MB0に対応して2つの選ビッ 上級8801、8802が設けられ、主ビット級MB1 に対応して2つの網ビット線SBII, SBI2が続け 4.0粒卷。

【0148】朔ビット線SB01.SB!8な交差する ようにワード線型しり、要しまが整理され、圏ビット線 怪を示す。表上へ表されある端圧条件は、一実施術とし、10~3802、3812に交流するようにワード線製しる。 WL3が配列される。ここで制ビット棚の材料を入1. カングステレなどの蘇聯産金属材料、高機産金属材料の シリサイド材料などの金屬材料配線機能を用いることに より、ポリンサコンからなる配線材料に比べって複数機 とのコンタクト抵抗を十分概くすることができる。ま た。配線系統が小さいことから、第ピット級による新生 抵抗効果を抑えることもできる。

> (0144) WEV FASBOI, SB02, SB1 SB12とワード線型しり~製しるとの交換にはそ 20 わぞれメモリセル(メモリトランジスタ)M00トM3 3、M10~M13が設けられる。メモリセルM00、 MOL MIC. MILIGRAPSINORN, RET tamor, Mos. Wir, Misstabsserk 高速和多。

【日148】各メモリセルのドレイン鍛冶は対応する制 せっト綴の接続され、コントロールゲート常様は対応す るワード線に接続され、ソース領域はソース機とした後 無される。

【0148】セレクトゲートSG1はセレクトゲートト 30 ランジスタSGOI、SGIIを含み、セレクトゲート SG2はセレクトゲートトランジスタSG02 SG1 2を含む。瀬ピット綴SBO1、SBO2はそれぞれせ レクトゲートトランジスタSGの1、SGの3を介して 出ビット線MBのに接続され、期ビット線SB11. S B12はそれぞれセレクトゲートトランジスタSG1 1、SG12を介して主ビット線MBIに探勧される。 【0147】アドレスパッファも多は、外部から得えら れるアドレス磁帯を受け、スアドレス樹粉を入デローダ ち身に与え、ソアドレス領号をマデコータ57に行え 【0138】(a) 不獲発性事務体影響決勝の主体の「40」る。Xデコーダも9は、Xアドレス信号に対応して姿勢 のフード線要しの一関しこのうちいずれかを選択する。 Yデコーダ57は、Yアドレス信号に応答して複数の中 ピット線MBO。MB1のいずれかを選択する選択指導

> 【0148】 Yゲート72内のYゲートトランジスタ は、それぞれ選択信号に応答してまピット線MBO、M 31をセレスアンプ32および鬱込囲路53に接続す

を発生する。

(0)49) 総目時には、センスアンプラミが、主ビッ ット線MB0、MB上が配別される。主ビット線MB - 20 ト線M80またはエビット線MBI上に接出されたデー

りを秘知し、データ入出力バッファも1を介して外部に 出力する。

【0180】黴込時には、外部から与えられるデータが データ入出力パッファる 1 を介して番品細路 5 3 に与え 名れ、書送細路33はそのデータに従って主ビット線図 B6、MBIにプログラム機圧を与える。

【0161】養鐵王発生園路84、88は発離から電腦 **常注Vcc(たとえげちV)を受け貨業圧を発生する。** 高電圧発生問題56は外部から電源範圧Vcoを受け、 部から与えられる電源電圧Vcnを受け、ベザファイ等 に、遊伝されたワード線に新定のベリファイ選狂を与え る。ウェル螺位発生世路も1は、衝去時に、ロウェル領 域で主に正郷圧を印刷する。ワース新郷田路62は、第 主語な、ソース線Sしな高端圧を与える。セレクトゲー トデコーダ83は、フトレスバッファ53からのアドレ ス傷号の一郷化応答して、乗しタトゲートSG1、SG でを避択的に活性化する。

【0152】響込/潜田網翻選鑑59は、外部から与え ちれる制御信号に応答して、各個路の動作を制御する。 【0 | 6 3 】(も) 不揮発性半導体記憶装置の動作 次に、不揮発性手導体部隊装置のセクタ諸法動作、養込 動作および輸出動作をあして黄3を参照しながら説明す

【0184】(i) セクタ潜去動作

ここでは、セクタSEIを一緒和去するものと仮定す る。まず、審込/海虫制制的鑑50にセクター経済定数 作を推定する制御信号が与えられる。それにより、負置 |圧発生回路56 および高電圧発生回路5 6 が活性化され

(0155) **含電圧発生回路**55はXデコーダ59に含 鑑许(一まりV)を与える。Xデコーダ88は、セクタ SElのサード線WEO」WLIに食物圧(-10V) を印施し、セクタSB2のワード線要し2、要し3に0 Vを印加する。高端王発生問路5.6はYデコーダも7.w よひウェル螺位発生回路81に賽螺匠を与える。Yデコ ータもでは、Yガートで20%0YゲートトランジスタY GO、YGIに高端圧を印制する(Yゲートトランジス タ」セレクトゲートトランジスタをカチャネル製MOS ピット総MB0、MBLはフローティング状態になる。 ソース制御国路も2はソース線SLに正難旺(をV)を 印加する。また、ウェル螺位発生河路サ上は、ドウェル 鏡域71に正鑑円(8V)を印御する。セレクトゲート ザコーダも3はセレクトケートSG1、SG2をOFP 状態にする。

【01581 このようにして、選択セクタ5m1内のス モリセルおよび排機拠セクタSE2内のメモリセル区。 養1に示されるように選圧が印度される。その結果、セ クタSE上内のすべてのメモリセルは消光される。

(0157) (ii) 激动動作

とたでは、メモリセルM00をプログラムするものと微 定する。すなわち、メモリセルM00亿データ "り"を 叢込み、ヌモリセルM10はデータ"1"を解除する。 【0158】まず、鬱込/着去糊御囲器50年、ブログ ラム動作を指定する制御信号が与えられる。それにま り、食業圧発生国路54約よび高電圧発生国路56年活 物化される。

(0159)海郷圧発性開路58はXデコーダ59に選 赛器圧を発生する。ペリファイ器圧発生阻路90は、外 10 器圧を与える。Xヂローダ59は、アドレスバッファち 8から与えられるXアドレス保等に応答してワード標準 しりを選択し、選択されたワード線収しりに高電圧 (8) V)を卸御し、非藻妃のフード核関しま~WL3にOV 全部助时扩发。

> (0180) 漁郷圧発生開館54はYデコーダ67. ※ 込脚路53をよびセレクトグートデコーダ53に食業圧 老場える。まず、外部からデータ入出力バッファ51を 分してデータ"0"が構造脳路53に与えられ、ラッチ される。マデコーダ87は、アドレスバッフッ88から 20 与えられるYアドレス借号に応答してYゲート72四〇 YケートトランジスタYG0に貧機还を採用し Yゲー トトランジスタYG1KOVを印御する。それにより、 マタートトランジスタYG0がONする。

> 【O 1 O 1) 鬱込細路ものはVゲートトランジスタYの 6を含むて主ビット線図Bのにデータ「G"欠対応する プログラム繁圧(一さV)を知知する。また、セレクト ゲートデコーダラSは、セレクトゲートSGlをON状 燃にし、セレクトケートSG8をO7F状態にする。そ れにより、糊ビット線SBO1、SBI1がそれぞれ至 30 ビット線MBO、MBIに接続される。フース制御組路 82は、ソース線SLをフローティレク状態にする。ウ □ル電位器生間路61はたウェル額域71に0∀を印期 38.

【0:162】このようのして、メモリセルM00に、表 2の左線に示されるように衛圧が印刷される。その結 菜、メモリセルMOOのしきに頒選圧が上昇する(しき い硫酸圧は含物圧であるので、日に近い方向へ変化す

(0183)一定時間たとえば1m(粉)経過後、外部 トランジスタで形成した機を探す。)。それにより、主一の一からデータ入出力バッファ51を介してデータ")」。だ **搬込組路53に与えられ、ラッチされる。Yデコーダ**5 7は、アドレスバッフッち8から毎えられるYアドレス 借号に応答してYゲート7.2的のYゲートトランジスタ YC上に負機圧を印加し、YケートトランジスタYGり にCVを印測する。それにより、Yグートトランジスタ YG1がONする。養込腳路53は、Yゲートトランジ スタYG1を介して포ビット線MB1にデータで1°に 対応するのVを鍛造する。

【0 1 8 4】このようにして、メモリセルMIのに、煮 50 2の右欄に示されるように、電圧が印加される。その結

業。メモリセルM10のしきい糖業圧は扱い(しきい領 電圧は負電圧であるため絶対値では高い) まま物持され

[0185](iii) 凝出動作

とこでは、メモリセルMO6からデータを競出すものと 彼定する。まず、書送ノ浩志制御開路もりに、総出動作 そ指定する制御信号か与えられる。

10 16 9 1 2 グローダ8 8は、アドレスバッファ 5 8 から与えられるメアドレス億号に応答してワード稼ぎし ながしし、WL8は3Vに保たれる。 セレクトゲートデ コータもらは、セレクトゲートSGLをON状變のし、 セレクトゲートSG2巻OFF状態にする。 Yデコーダ 5.7 はアドレスバッファ5.8 から与えられるYアドレス 信号は応答してYゲート72四のYゲートドランジスタ Ya0をONさせる。フース樹御簪簪32はツース線S 上に3Vを時間する。ウェル雑位発生開路も上は、カウ EASETIKSVEEDEVS.

【0187] このようにして、厳釈されたメモリセル州 ○Cに 表3の左機に示されるように衛圧が印度され る。それにより、メモリセルM00の内容が"1"であ おは主ビット線MBOに減出電流が流れる。この製出電 流がセンスアンプ32により検知され、データ入出力バ ッファも主を介して外部に出力される。このとき、非難 「祝のメモリセルには、養多の右機に示されるように選圧 かぜの知される。

【0163】以上のようにして、この養産機における不 |複変性半導体配性決量の消失 | 憲法 | 淡出動作を行なう ととが可能さなる。

【1188】ここで、本実施例におけら不揮発性半導体 30 影像装置の容込方式は、カチャネルのMOS型メモリセ ルにおいて、コントロールゲート業務に日曜位を、ドレ イン領域に貨幣位金印刷することによって、ドレイン領 域でパンドーパンド間トレネル機器を発生させ、このパ シドーバンド闘トンタル電流で発生した電子の電野加速 によう住むたホットエレクトロンのトンネル酸化膜への 注入鑑賞を用いて書込を行なっている。

【① 】70】 帯込助作において、遊吹されるメモリセル には、コントロールゲート機能に逐業低くです。ドレイ ン領域に負電圧ですが印加されるのに対し、同一のヒッ ト線に接続された非選択のメモリセル(ドレインディス ターブをありでは、コントロールゲート業権にOV、ド レイン領域欠貨物圧とはが時期されることとなり、この 非難訳のメモリセルでは、コントロールゲート電圧が0 Vのため、フローティングゲート電極とドレイン領域と の間の電位差は、選択されたメモリセルのフローティン クゲート微粉とドレイン領域との細の微色差に比べ非常 た小さくなる。このように、非継柄のメモリセルでは、 パンドーパンド間トンネル電流の発生薬が少なくなり。

続された非選択のメモリセル(ゲートディスターブセ 元〉では、コントロールゲート業務業氏が正義団(Vo g)、ドレイン領域機圧がOVとなり、従来のnチャネ ルMOS 盥のメモリセルのケートディスタープセルと阿 一のFNトンネル繊維による熱済虫のモードであり、V cxを極端に大きく数定しない限り開題はない。)。

【0171】以上のように、コントロールゲート電像へ の企業症とドレイン領域への貧電圧の双方が同時に到底 されたメモリセルのみ、囃子住人燃魔が大きくなり、冪 Oを選択し、それにOVを印制する。このとき、ワード 10 遂に養込を行なうことができる。コントロールゲート電 強への正常圧とドレイン領域への負職圧のどちらか性方 のあり知されたメモリセルでは、養込または蔣去が経じ ちないという特性を実現で含る。つまり、バンドーバン ド欄トンネル電流の発生器の大小がフローティングゲー 主義極とドレイン領域との間の確位差の大小によって決 定するという特性を利用している。このように、バレド --バンド関トンネル機象を寄効に用いていることが、本 実施例における書込監件の特徴である。

> 【O:72】また、pデャネル型のMOSメモリセルを 20 D)NOA製フラッシュメモリに用いることで、海辺翻 路に形成されもゥチャネルトランジスタのソース圏域お よびドレイン競域との構造と、メモリセルのソース領域 およびドレイン領域との構造が同一の構造に形成するこ とができるようになるためな、メモリセル領域と、周辺 トランジスタ鋼矯とのソース循環およびドレイン鬱暖の 不純物の内訳のためのマスクを削減することができる。 その結果、マスク牧数の減少および不揮発性半導体記憶 装置の製造工程数の削減によるコストの低減が可能とな

- (0)73)また、メモリセルアレイ内に形成される際 - 振トランシスタを、カチャネル鍵トランジスタで形成す ることが可能となるため、ゥチャネル製のMOSメモリ セルと、選択トランジスタとを同一のウェル名に形成す ることが可能となる。

[0174] (第3案締例) 次定、この義明に基づらた 不爆発性主導体記憶装置の第3実施例について批判す

(0175) この第3の実施例における不嫌発性平療体 記憶装置は 第1の実施が応わけるカチャネルのMOS 整メモリモルの構造を用いて、NOR型のフラッシュメ モリを実現させたものである。

[9178]まず、図8を参照して、本実施例における 不得発性事態体記憶装置の構成について緩明する。この 実施例におけるフラッシュメモリは、チップ一括漢志を 採用した倒を示しており、行列状に配置されたメモリセ ルマトリックス TOTE、Xアドレスデコーダ102 き アドレスパッファ105と、器込期路108と、セ ンスアンプミリアと、入燃力バッファミリ8と、ワース 制御制路109と、食物圧発性開路119、111と 上って常子珍久鍛冶も少なくなる(海一のウード線に停し50、海蠍圧発生河路118と、ウェル蠍位線生河路113と

必然也。

【0177】メモリセルマトリックス101は、行列状に配置された複数線のメモリトランジスタをその内部に対する。メモリセルマトリックス101は、ロウェル経 端上14内に形成される。メモリセルマトリックス101の行とよび例を選択するために、Xアドレスデコーダ 102と Yゲート:03 たは例の選択情報を与える Yアドレスデコーダ104 か接続されている。 Xアドレスデコーダ102と Yアドレスデコーダ104 なは、それぞれ、アドレス情報 15分一時格積されるアドレスパッファ103 か接続されている。

【0178】マゲート103には、データ入力時に帯込動作を行なっための番込団路108とデータ担力時に協れる鐵簾鎖から「01と「1)を利定するセンスアンブ107が接続されている。著込岡路100上センスアンプ107とには、それぞれ、入伍力データを一時料値する入出力バッファ108が接続されている。

【0170】圏の次示すメモリセルマトチックス101 の中には、その観路機械を示す等価肥路器が示されてい。20 る。このメモリセルマトリックス101を有するフラッ シェメモリがNOF型と呼ばれている。

(0)80)メモリセルマトリックス101以、行方向 に様でる複数本のワード線率し、、Wし、、一、Wし、 と、例方向に無びる複数本のビット線のし、、移し。、 一、Bし、とが互いに度交するように配置され、マトリ ックスを構成する。各ワード線と各ピット線の交点に は、それぞれフローティングゲートを育するメモリトラ ンシスタロ、、Q、、一、Q、が配数されている。各メ モリトランシスタのドレイン領域には、各ピット線の接 30 続されている。メモリトランシスタのコントロールゲー ト郷傷には、各ワート線が接続されている。メモリトラ ンシスタのワース領域には各ソース線のコントロールゲー と郷後されている。第一行に翼するメモリトランジスタの ワースは、両分に深するメモリトランジスタの ワースは、両分に深されるよりに相互に接続されている。

【0181】高端圧発生網路112は外部から端端線性 Voc(たとまば3V)を受け高端圧を発生する。負端 圧発生網路110、111は外部から機構物性Vocを 受力、負機圧を発生する。ウェル端位発生網路113 は、ロウェル領域114に高端圧を卸用する。ソース網 を網路108は滑去時にソースライン51に高端圧を与える。

【0182】文に、詩志動作、素込動作、緩迫動作を表 4~表8を参照しなから説明する。なお、差4~表8に ある地圧印加条件は、一実施例としての値を示してい ス

[0183] [数4] .

沒去時印施電訊。

Ey F	77 F 88	ソースライン	NOIL
深放	-10V	87	87

30

(0184)

(285)

#13.99的分類在

***************************************	医多多	77 K 🗱	ソースライン	NOTE
	۵V	87	100 100	οV

101851

1881

被出纳和加维证。

***************************************	Ey F	77 F	ソーズライン	NOIS
,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,	2∀	øv	37	3V

[0188](i) 獨共動作

数電圧発生網路111はXアドレフデコーダ102に数 機匠(-10V)を与える。Xアドレスデコーダ102 はすべてのワード線V上。一岁1、に負権圧(-10 V)を印刷する。ウェル製位発生網路113はコウェル 能域114に降極圧(8V)を印刷する、ソース等細胞 器109はソース線S上に高電圧(8V)を印刷する。 Yアドレフデコーダ104はYプート103内のYゲー トトランジスタをひとりにし、さべてのビット線B上。 ~B上、モブローディング状態にする。

【0187】とのようにして、メモリセルマトリックス 101内のすべてのメモリに、数々に示されるように類 疑がED組合れる。その結果、メモリセルマトリックス】 81内のすべてのメモリセルは浩島される。

【0188】(xi) 器込動作

とくでは、メモリセルQ、に巻込を行なうものと仮定する。すなわち、メモリセルQ、にデータ"O"を答込 49 み、メモリセルマトリックス101内のその他のメモリセルはデータ"1"を保持する。

(0)80) 新城圧発生距路より2は、Xアドレスデコータ102年高端圧を与える、Xアドレスデコータ10 2はアドレスパッファ103から与えられるXアドレス 信号に応答してワート微ツし、を選択し、選択されたワート線ツに、た高端圧(8V)を印加して、非選択のワート線ツし、へ吹し、に0Vを印削する。

(0180) 貧端圧発性固路110は、Yアドレスデコータ104に貧端圧を与える。まず、外部からデータ入50 胎力バッファ108を介してデータ*0°が表述組絡1

りもに与えられ、ラッチされる。Yアドレスデコーダナ 0.4は、アドレスバッファ105から得えられるヤアド レス信号に応答してYケート103にビット線磁収情報 を減る。 Yゲート103は、ヒット線8し、を選択し て、適担ビット線81.,にデータ"6"に対応する憲法 ※圧(-5V)を印加し、非激鋭のビット線BL。~8 L. KIXOVÆDBYS.

【ひ191】ソース朝御厨路109は、ワース線51を フローティング状態にする。ウェル機位発生細路113 は、カウェル網線114に0~を約別する。

【0192】このようにして、メモリセルQ..た、級も に示されるように審任が印加される。その結果、メモリ セルQ、のしきい循環逐が上昇する(しきい循環圧は負 選託であるので日に近い方面の変化する。)。

【り193】(ティエ) 総出動作

てこては、メモリセルQ。,からデータを破倒するのと仮 定する。スアドレスデコーダ108は、アドレスバック ア105から毎えられるXフドレス倍母に応答してサー 下縄要し、を選択し、それにDVを印むする。このと る。ヤアドレスデコーダ104は、アドレスバッファ1 05から与えられるYアドレス信号に応答してYゲート 103にヒット線選択精報を送る。Yゲート103はビ ット線BLIG1を選択し、ビット線BLIOIに2V が印加される。非難状のビット練BL。〜BL、には3 Vが毛織される。ソース制御網路100はソース線S U に3 Vを印制する。ウェル関位発生回路113はnウェ ル模域114に3Vを印施する。このようにして、**強权** されたメモリセルな」、従一後のに挙されるように関圧が ピット線BL、に誘出電流が抜れる。この窓出電流がセ ンスアンプ107により輸知され、入出力バッフッ16 多を介して外部には力される。

(3)194]以上のように 本実施例におけるNOR型 のフラッシュメモリにおいては、 憲法・将去時の潜置器 複が少ないため、響込、消去に用いる高電圧はチャプ内 器界圧距路にて発生することが可能となる。したかっ て、外部撤騰衛圧は任意の単一電源でフラッシュメモリ を構成することが可能となる。

【9195】また、従来のロチャネルのMO5燃メモリー40 となる。 台ルを用いた800製フラッシュメモリにおいては、図 10亿元すように、寄込難作として、チャネルホットエ レクトロレ注入により、プローティングゲートに選子を 注入している。これにより、メモリセルのVtLを、巻 VIII 簡から商Vin倒へと変化させている。

【0196】一方、潜虫動作においては、ドロトンネル 報象により、フローティングゲート常報からフース領域 またはチャネル鋼域に電子を引き抜くととにより、メモ リセルのVihを高Vth側から低Vth側へと変化さ 後でいる。

【0197】このとき、積去動作は、全ビットー括さた はブロック単位での問時情去であるため、ビットでとに ベリファイを行なえないため、清査後のViも分布が大 きくなってしまう。すなわち、低Vth側のVth分布 が大きくなることにより、Vthがりより大きくなるも のが発生すると、暗出動作時に、常につた状態となるた め、統治議動作を起こすいわゆるオーバイレース概象が 悪ひている。

32

【0198】仮欠、ブロセスに転けるばらつきや欠陥な 10 どのために、特異的に商去速度の強いビットが存在した さき、そのピットはオーバイレーズの器動作を探じすと とになる。したがって、金ピットの構会譲渡のばらつき 巻小さくすることが予明欠であり、従来のa チャネルM OSを用いたNOR型フラッシュメモリの大きな問題点 となっていた。

【OI99】一方、上遠した実施側におけるpチャネル のMOS型トランジスタを用いた8〇8盤フラッシュメ そりにおいては、カチャネルのMOSトランシスカを塞 本篠道として、フローティングゲート電腦への鑷子の往 き、奔遷駅のワード線製し、ト製し、には3Vを印旛す。20 人により書送を行なっている。その結果。図11に示す ように、何とも出側(質の絶対値が高い方のVih)か ろ低Vih側(魚の鯉対値が低い方のVib)に密込を 行なうことが可能となる。したがって、鬱込動作にあい では、ビットでよはベリファイを行なうととが可能とな るため、書法動作終了後のVtb分布すなわち低Vtb 棚のVthB毎を小さくすることができる。

【0200】さらに、もし、特異的に難込が速いセット が存在したときにわいても、V(hがりを超えるととを 物ぐとと知てきるため、従来のNOR雅フラッシュスモ 印度される。それにより、Q前の内容が『1~であれば』30。月のオーバイレーズによる議論作の問題を解決するたと

> 【りるり1】また、第2の実施網と開係に、トンネル数 住職へのホットホール底入がほとんど細こちないため。 ホットボール住人によるトンネル微化線の著しい物化を 紡ぐたるが可能となる。さらに、カットホール注入が超 きないため、従来のムチャネルのMOS濫メモリセルに おいて、実効ゲート長さの有効利用を駆化させていた電 **昇緩和圏の形成が不要であるため、従来のフラッシュメ** モリ欠比べ、より徐縄化が可能となり、高寒線化が開始

> 【02021なお、上達した第2もよび第3の実施例に おいては、DINOR親 NOR型のフラッシュメモリ 医適用した場合について述べたが、これに組みず、FN **トンネル総徳によりフローティングゲートからドレイン** 領域へ選手を引き抜くことにより 客込または潜虫を行 なうフラッシュメモリにあっては、すべて網様の作用油 発生得ることができる。

【0203】また、上距第2ねよび第3の実施機におい て、網問時の電圧印刷条件については、表きもよび表も 50 (公売した場合に扱られるととなく) 収率に示す表でない

し表10年至す条件を満たすような維生料電圧印加条件。 を用いることによって、同様の作用効果を得ることがで \$ & ...

- x f02051 (588)

[0204]

(銀7)

NOR製メモリセルアレイ 燃み出し時業圧抑加条件

E9 N		· ''	c 0000	y 2 8	O 32. 86
38 82	14 B. 16	38.39	38.38	* * * * * * * * * * * * * * * * * * * *	,
(Y00-1)~(Y00-2)	Vec	1874B	Voc	¥00	Vec

OMOR版メモリセルアレイ 競み出し時輩圧甲級条件

* 2		WEY N	(%)	C 1/2 1/2 1/2 1/2 1/2 1/2 1/2 1/2 1/2 1/2	- 3- 88 63	∵~	O 31.76
28.37	34.38 38	38 80	****	38.37	38,786.5%		}\$
(No.1)~(Vas.2)	Vix	[Vox.1]~{Vox.0]	388.380	微速	Voc	Vec	Vice

77	K XX
28.37	38.38.39
332-015	Voc

[0208]

18891

W (0207)

(#E10) 20

MO角型メモリセルアレイ 一概み出し時電圧印度条件

73 --- 3588 セット級 ジース器 ウエル 38 838 **##** -Voc ### 微線

OMORXメモリセルアレイ 締み出し特徴征印御条件

 養ピット	*	# ### 7 }	8 8 12	12 N. 27	(200	V~ X	oru
38 5%	***	継続	彩鐵纸	38 88	*****		
2	430 Mg	11000	388.30	V(N)	****	180.380	数無

7 -- F -Voc | 機能

【0208】(斃4突施例)次に、この発明に若づいた。 第4実施例における不機発生率導体記憶頻繁について関 を参照して数数する。

(0208) との第4英編例における不振発性率導体記 豫落麗の糟壺は、図12を参照して、第1実施例と同様 なれりェルミの変面に、が200不減物線像からなるソー ス領域とと、立能の不辣物領域からなるドレイン領域3 とを有している。なお、ソース領域2およびドレイン領 城さと、カウェルもとの嬢界部分には、pn饗合2a.。 3aが形成されている。

【0210】ソース領域2とドレイン領域3とに挟まれ たチャネル領域8の上方には、トンネル酸化薬4を介在 して形成されたフローティングケート業権らと。とのフ ローティングゲート微極5の上方に絶縁験を介在して形 成されたコントロールゲート翼標でとを得している。

【の211〕上記榜遊ぶりなる不様発技半導体記憶装置 次おいて、響送時に、第1の実施機と関じ条件の概圧即 放条件を加える。すなわち、コントロールゲート選集7

放扶施。nウェル上を特地鑑位とする。これにより、フ ローティングゲート発掘さとドレイン競域しまとの楽な り領域上のトレネル飲化験4に強電器が印加され、FN トンネル概象により、ドレイン領域目まからトンネル額 **化膜4を介してフローティングゲート巡覧さに電子が**位 入される。これにより、憲込が行なわれる。

(0212)その結果、鬱込時にあいて、第3の実施機 と間様の作用効果を得ることができる。

40 【0213】(第5実施網)次に、この発明に基づいた 第5 実施側の不弾発性半導体記憶装置の構造について、 図13を参照して説明する。

【0214】この実施制における干棒発性主導体配鑑装 置の構造は、翌1に示す第1実施例に示す不揮発信手等 体配接装置のチャネル領域に、p 型の框込用12を形 賊したものである。

【0215】四1に示す機造によれば、チャネル簾8が カウェル1とトレネル酸化酸4との緊痛に生成されるな め、チャネル騒号を流れる正孔は、もウェルしとトンネ に正義位、ドレイン領域8に貨電位、ソース領域2を第一つ ル酸化廃すとの差額で放乱を受け、正孔の移動度の低下

が可能となる。

か生じる。その結果、不得発性半導体記憶装置の駆動力 が低下してしまうことがある。

【0218】そこで、本薬糖粥に示すように、チャネル 勝8に、カー製の維込勝10を設けることにより、カウ ェルキとトンネル酸化膜4との界面での正孔の飲料欠よ る正孔の移動度の低下を未然に防止することができ、不 揮発性半導体配性装置の安定した駆動を実現することが T & & ...

102171なお、5~程罐込搬するは、チャネル領域 における不確物の総方的分布において「理込器12の不 10 図16および図17を変版して誤判する。 純物のピーを濾煙が、nウェル1とトンネル微化膜4と の終期より約10mm~200mmの深さの位置にくる ように形成することが好ましく、変た、が、型の裸造職 32のビーク誘度の値は、3×10%~5×10%em でであることが経常した。

{(2)3)(第6実験例)次に、この発明に基づいた。 第6英編例の不概発性半導体記憶は脳の構造について、 図14を参照して説明する。

(02)9)この突絶機における不規定独主導体記憶装 麗の構造は、翌1に至す第1実施側の不揮発性半導体記 20-像装置の構造において、フローティングゲート機種を立 4 盤のボリンリコン1 5 で形成したものである。

【り220】このような構造により、第5実施例と比較 した場合。ドレイン領域3における表面の横方向電界が 高くなり、バンドーパンド間トンネル電流の発圧量が増 大する。これにより、ドレイン領域されむける加速維維 が増大するため、囃子が得るエネルギーも高くなる。そ の結果、書込貨幣が増大する。したがって、審込選復の 増大や、湯は塞肝の低端圧化を図ることが可能となる。 技が落くなり、実効ゲート長さの後細化により、不準業 性半線体記憶装置の高集機化が可能となる。

【の221】(第7実施機)次に、この発明に禁ついた 第7 実施何の不得発性主導体記途装置の模造について。 図上ちを参照して幾例する。

【0222】この実施物にあける不御発生半導体や優装 **製の報告は、翌日に示す第日実施的の不理先性半導体記** 佐装鋼の構造において、プローティングケート関極を立 1 ボサシリコンで形成したものである。

【0223】このような構造により、第5実験例にあげ、40-- 若不振発性主導体記憶結蹶と比較した場合、ドレイン領 域3における変価の鎌方向域唇が高くなり、バンドーバ ンド相キンネル電波の発生機が増大し、かつ加速電界が 増大するため、選子が得るエネルギーが大きくなる。そ の結果、審込熱率が接大する。したがって、審込速度の 境大や、搬送電圧の低電圧化が可能となる。

【0324】さらに、第5家施御における不揮発性事簿 体記憶装置に出っ、パンチスルー樹性が高くなり、実効 ゲート移さの繊細化が可能となる。これにより不規発性 半減は記憶協議の高級機能が開始さなる。

【0285】また、第5実統例における不揮発性半導体 記憶数置と比較した場合。たとえばDINOR製のメモ サセルとして翔いた場合、メモリセルトランジスタの第 外線照射消虫後 (フローティングゲート報位をひとした とき)のしきに微電圧を小さくすることができるため、 競出ディスターブの経動作に対する創作を強くすること

【0226】(第8実施例)次に、この発明に覆づけた 第8 実施例の不極発性半導体記憶整臓の構造について、

(4) 227)との実施例における不懈発性半線体影像鉄 盤の構造は、図14および図15に示すように、フロー ティングゲート電極ちとドレイン鋼域でとの重なり部分 区、およびプローティングゲート機優ちとソース緩緩を との塑なり無区。において、五型の不成物構製が5×1 Oliemで以下となるように形成されている。

【0228】このように、重なり部のX、、X、区おけ る不純物濃度を5×10%emで以下となるように形成 するには、まず、図18に示すように、コントロールケ ート電腦でおよびプローティングゲート電極るを覆りよ うにサイドウォール18を形成した後に、このサイドウ ォール15をマスクとして、カウェル1によ数の不純物 を注入することにより、ソース領域とあよびドレイン領 域3を影成する。

【0228】その結果、実効ゲート展さが長く、微細化 収縮した不無発性半導体記憶装置を得ることができる。 【の230)たとえば、従来のDINOR、NOR製フ ラッシュメモリセルのように プローティングゲート賞 極からドレイン領域へドNトレネル機能により機手の引 さらに、第5の実施例と比較した場合、パンテスルー新 30 き物きを行なり場合、ドレイン領域のゲート解析との業 なる領域が、高温度の不純物温度を持っていないと、ド レイン領域のエッジ部分に空芝屬が帯域される。この単 芝屬による電位発下のために、ドヨトレネル構造の電子 引き抜き速度が低下するという問題があった。したがっ て、従来の構造によれば、サイドウォール形成後にイオ ン姓人を行ない。ソース領域わよびドレイン領域を形成 することができず、フローティングゲート機機をあまび コントロールゲート器機?をマスクにしてイオン准入を 行なう必要があった。

> 【0231】一方、本実統例におけるカチャネルOMO S額メモリセルを用いた場合なは、上記のような網羅油 が出じないため、サイドウォール15をマスクにしてイ メン注入を行なうことが明難となり 実難ゲート長さを 有効に用いることのできる不揮発性中導体記憶接置を提 様することが可能となる。

[0232] (第8英施網) 次に、この余期に器づいた 第9回施例の不開発性半導体記憶装置の構造について、 図18および図19を参照して説明する。

(0233)この実施例における不揮発性率導体記憶液 30 黴の機能においては、圏19に示すように、ドレイン領 3歳3とフローティングゲート機構るとの重なり部分区。 の領域においてのみ、ドレイン領域3の不純物繊維が、 5×101°cmで以上の不輔物鑑度を寄するように形成 され、ソース領域でにおけるプローティングゲート電極 さとの差なり部分においては、上进した第8の実施例と 間緒に、5×10110m1以下の不純物機後となるよう に影成されている。

[0234] このように粉成するためには、文字図18 化祭すように、コントロールゲートであよびフローティ ングケートもをマスクとして、ドレイン観域2が形成さ、70 れる繊維にのみ予めり型の不成物のイオン注入を行なっ てから、綴目9の示すように、コントコールゲートでお よびプローティングゲート 5を覆うようにサイドウォー A.1.5を形成した後。とのサイドウォールし5をマスク にして。型の不純物の注入を行なうことにより形成する ことができる。

{0235}との機能を用いるととにより、ドレイレ領 域3でのコンドーバンド度トレネル電流の発生機を大き くすることができる。その結果、審込速度の向上および ※決勝のドレイン常狂とコントロールゲート業務業団の 20 ト電圧とドレイン領域の電圧の係業氏化が可能となる。 武徽臣化が明確となる。また、ソース領域2は、サイド ウェールよらを影破した綴にイオン性人を行なうため。 突効ゲート扱きの有効なメモリセルを形成することが可

【0230】(第10実施例)次に、この発明に基づい た第10実施例の不構発性主導体記憶装置の構造なつい て、図20を参照して網絡する。

【0237】この実施例における不振発性率導体記憶装 |激の縁進は、翌20亿元すよりに、5・200不純物領域 からなるソースの域10およびドレイン領域11を働 え」それぞれのチャネル銀拗のエッジ銀行に、5°0の不 減傷拡散層からなる第1不純物鋼域16と、第2不純物 網域17とを翻えている。その他の驀進なついては、閉 上に示す第1の実施例における不得我性半導体記憶接渡 の機踏と同一である。

102381なあ、ソース継続10、ドレイン継续1 3 第1不純物領域10起よび第2不約物領域17のモ れぞれのロウェル!との界間には、pa接合lis、i 2a.10a、17aが形成されている。

【0039】とのように、いわゆるLDD構造を形成す。ao 上させることが可能となる。 ることにより、実効ゲート長さが長く、繊細化に漉した メモリセルを得るたとができる。

(0240)さらに、たとえば就来DINOA盥業をは 長〇兵関プラッシュメモリセルにおいて。プローティン グゲート電機からドレイン領域へFNトンネル機能によ って選子の引き抜きを行なう場合、ドレイン領域とフロ ーティングゲート電磁とが重なる領域に知いて、容潔度 の不純物濃度が存在しないと、ドレイン都域のエッジ部 分にあいて、歪之層が形成され、この空之層での微位縁 下のために、FNトレネル機構の囃子の別き物を速度が、50 用すように、p型の半導体基板と1におけるフィレウェ

低下するという問題点を開発することができ、さらに、 従来の構造においては、コントロールゲート電極和まび プローティングゲート業機をマスクにして、高盛度の子 オンは人を行なう必要があったために、実効ゲート長さ の有効長さが悪化するという問題点も指摘することがで きるようになる。

【0241】(第11実施例)次に、この発明に暴づい 大第11字前例の不開発性半導体記憶装置の構造につい て、図21を参照して影明する。

- (0242) この実施例における不理発性半導体記憶級 第の構造は、例目に示す第三の実施例における不知発性 **半海体記性装置の構造に関えて、ドレイン領域3を覆う** より欠と「翌の第3不純物協議18が形成されている」 この第3不延衛領域13の不締物議機は、約1×1017 ~1810~cm′程度である。

[0243] このように、第3不減物領域18を設ける ことにより、ドレイン空芝屬における機方向電器が得大 し、効率よく電子を務エネルギー化できる。その暗集 書法連渡の向上および番込時におけるコントロールゲー 【り244】 (第12実織例) 次に この発明に基づい た第12字動例の不額発性手導体記憶接端の構造につい て、図22を参照して終程する。

【0245】この契約例における不測発性半導体部意義 盤の構造は、図1に示す第1実施例の不得発性半導体認 **慘陰黴の樽**題と比較した場合、ソース修識およびドレイ ン領域が、高端度の不純物領域からなるソース領域10 とドレイン鋼域11とからなり、さらに、フース網域! りを覆りように、α□ 壁の第4署雑物の域20と、Fン 36 イン鋼域1.1を覆りようにp / 型の難ら不特物額域1.9 が形成されている。なお、ソース領域108第4平等物 |懐娥20との界職にはpn接合10mが影成され、郷5 **3鉢物額域:9とのウェル1との界面にはり5倍合19** aが形成されている。また、第4平純物領域20わまび 第5不純物領域19はともにその不純物設度が約1×1 でソペミ×ミの**omで経験に数けられている。

【0248】以上の稼<table-cell-rows>を有することにより、メモリセ 24のパンチスルー症性が向上し、第5 不純物領域19 に より、ドレイン鎖域11とカウェル1との間の耐圧を向

【0247】とんで、第1英線網、第2実統例ないし第 1.2等極例においては、平機発性率準体影像装置はもウ エル主に影核される場合について診断したが、このもウ エルトは、たとえば図23年集すように、立型の単鍵体 葉板21にあけるトリブルウェル構造を有するブロセス を用いて、もウェルミとおよびと4と関機の正程で形成 されるものでもよいし、図じるに帯すように、五型半導 体藻板20内において、トリブルックェル28内に形成 されたロウェル上であっても構わない。また、器25亿

ルブロセスを描いて、セウェルを形成したものであって を締わない。

[0248] (第13 策略例) 欠に、この発明に基づい た第13実施例における不得発性半導体記憶装置につい て、郷郷する。

【0249】この第13実施例においては、第1実施例 にあける番込を行なった不揮発性平導体記憶整置におい て、メモリセルの紫外線海虫の後、しきに個常田VT目 ロマ(フローティングゲート客標中の電荷を、Oにした ときのしさい確選度)を競出選逐より低くなるように形。10 【0252】フローティングゲート電極の器位VfRは **減する。このように、競出機圧より低くなるように形成** すると、統治憲圧より高い場合で比べ、消虫状態のメモ りセルのしさい館VTHeraseと繁外線照射指生後*

*しきい磁電柱VTHuvの差であるAVTHsrsse =VTHerase-VTHuvの額が大きくなる。

【0250】このとき、桝込路ドレインディスターブ (雷込する選択セルと隣一のビット線に接続された非邊 摂むがにおける謎った器込〉に対する影性が高度り。 タ モサセルの信頼性を向上させることかできる。

[0251] # 224. VTHerase=-572 し、VIHav=-4Vの場合とVTHav=-2Vの 場合を考える。

以下の第1式で計算することができる。

102531

1000 1 3

Vig---a cg× & VTH+ a cg×Vcg+ a d×Vd+ a a×Vo+ a adx×Va;d

* * * (1)

(0254) CCT, ocs. ad. as, asub は、それぞれコントロールゲート。ドレイン微域・ワー ス鋼域、ロウェルのカップリング比であり、×モリセル の形成条件で変化する値であるが、ここでは、一般的な なむ=0.2として考える。

[0253] Vd=-8V, Vez=8V, Vs+op es. Vsab=0Vのバイアス条件にあける器込動作 を考えると、ドレインディスタープセルのは、V Q == ※ ⊗€V, Yog≈6V, Vs=open. Vsαb=6V の懲役が追加される。

102581 CCC. open&UtVst. ovak いとして假定する。このときの満去状態(ムVTH=ム 顔さして、aosm0、8,admasm0.1,as-20-VTHexase)のドレインディスタープセルのVf おを討論すると、

102571

(8.98)

1) VTH::v=4V0 42: AVTHerase-VTHerase-VTH::v=(-S)-(-4)=-1V Vfg--0.6×(-1)+0.1×(-6)=0V

2)VTHuv=-2VG聯合、AVTHeraso-VTHerase-VTHuv-(-S)-(-2)--3V Vig=0.8X(-3)+0.1X(-8)+1.2V

【6258】となる。したかって、VTHnv~~キV:助食における搬込方式を用いたメモリセルにむいて、メモリ の場合は、VisenoVさなり、ViseneVとの微体 素は8Yであるが、VTHtv=・8Vの場合、Vfe ※1. 2Vとなり、Vcm…6V&の燃放差は7、2V となり、VT目ロソニー2Vの方がドレインディスター プセルにおけるバンドーバンド関トンネル機構の発生療 は多くなる。

【0259】すなわち、VでHuマニ 2Vの方が、ド レインディスターブセルにおける密込速度は大きいこと になり、VTHロマを低くする(質整圧であるので絶対 くする効果がある。

【0260】(第14実施例)次に、この発明に基づい た第14美活剤の不揮発性半導体記憶装置について、親 独介态。

【0261】にの第14実施例においては、第1実施例★

セルの物外線原制滑去後しまい値電圧(V Tiltu v (フ ローティングゲート枠の鑑荷をりにしたときのしきい能 電圧)を誘出電圧より高くなるように形成している。こ のように、護出物圧より高くなるように形成すること で、躁患時ディスターブ(議由選択も耳における誤った 潜去〉に対する動性が高まり、メモリセルの信頼性を向 走させることができる。

102821たさえば、凝出象圧を3、3Vで考え、楽 込状態のセルのしきい値電圧VTHwrlte=-2V 鍛を高くする)にとは、ドレインディスターブ翻性を貫 40 とも、V T H u v = - 4 V の場合とV T H u v = - 2 V の場合を考える。フローチョングゲートの報信Vfaほ 以下の第3式で計算することができる。

103831

(数3)

Yig -- a ogX &VTH+ a ogXVog+ a dXVd+ a sXVs+ a subXVsub

· · · (3)

[లెవ్లిశ] జీజాజా, ఇదేశ్, ఉంతే. ఉంది. ఉంది. は、それぞれコントロールゲード、ドレイン領域、ソー ス領域、五型ウェルのカップリング比であり、メモリセ 50 G. 2として考える。

ルの形成条件で変化する値であるが、ここでは、一般的 ά∰ασεπθ. 6. ασπαεπθ. 1. ασυβπ

[U285] Vex=-3. 8V, Vd=-1V, Vs - *ようじゃ)の総出セルのVfRを計算すると。 〒0∀、∀sub=0∀のバイアス豪併における臓患糖 102831 作を考え、このときの老込状態(AVTH=AVTHww 13941

- 1) VTHOU-4Vの場合、AVTHMHeadVTHMHe-VTHMH-(-2)-(-4)-2V Vig.--0.6X2+0.6X(-3.6)--0.1X(-1)---0.3V
- 2) VTHUV...-2VDI\$\$. AVTHWITE...VTHWITE-VTHUV...(-2)-(-2)-0V Vfg--0.5×0+0.6×(-0.5)+0.1×(-1)--2.1V

【り2も7】となる。したがって、VTHuv—~4V さの概念差は3.3Vであるが、VTHov=-2Vの 場合、VIs==2、1Vとなり、VsubゃOVとの |微位差は2|| IVとなり、VTH o v = - 4 Vの方が語 出ディスターブによる終った落法の新性は悪くなること STROKES

(0208)すなわち、VTHu vを高くする (魚郷圧 であるので絶対策を幾くするとことは、説出ディスター プによる第一た選去の個性を良くする効果がある(VT 日は文絵画くすると、ドレインディスタープ樹性が悪化 するが、トレインディスターブ特性の報差に条約がある。20 場合、VTHaゃを塞くすることにより、銃艇ディスタ 一ブ特性の改善が可能となる)。

【0869】(第13寅糖椰)次に、この発明に基づい た第15実験例の不護発性主導体基板について図28な いし図る1を参照して説明する。

【ひる70】まず、この第13実施機においては、欝ま の実施機で蒸掘したBTNOR壁のフラッシュメモリた おいて、ドレイン領域に自動する負電圧の値を、搬込道 探メモリセルおよびこの響込難探メモリセルと問一のビ タープメモリセル)において、なだれ破骸が起きないよ うな節に数定して、メモリセルの搬送を行なうようにし たものである。

【0271】まず図28を参短して、プローディングゲ 一ト電磁とコントロールゲート電磁とを接続したッチャ ネルのMOS鑑メモリセルで測定した。Ve=SVにお ける「こうとはなび」と一とは特性のついて疑問す

【0272】なむ、1分はバンドーバンド間トンネルで 発生した難深であり、主要はパンドーパンド能トンネル 40 業部誘起ホットエレクトロレのトンネル酸化酸への注入 微液である。

【0273】まず、図28に示すように、Vaの総対値 が大きくなると(Vidの総対策ンBV)、14の環境値 が急激に増加していることがわかる(Vidの絶対値>6 Vでの、1d-Vc特性の様きが、Vaの雑対個く6V での1点一V3物性の鍼をより大きくなっている)、つ まり、V dの絶対値を機能させると、〔(10x1d) /Ydi^<0すなわち。(iosid)-Vd歯@が

なわち(1981日) Va歯線が下に凸の特性に移行 の場合は、Vキャ=13.3Vとなり、Vsu:=0V=10=する傷盤点Ve、が存在する。これは、ドレイン鉄地に おいてなだれ破壊が超とり、図23に示すように、14 の雑誌値の急齢な増加が限とっている。

> 【日274】フラッシュメモリ技術ハンドブック(5) 58:サイエンスフォーラム社出版)の記述によれば。 翌27に示すように、従来のaチャネルのMOS糕メモ リセルを用いたNOB欄フラッシュメモリにあいて、ソ 一ス郷田を増加させた場合。ソース厳謠には優越しと愛 **嬢!!が存在し、嬢場!はバンドーパンド僧とシネルに** よる構造であり、領域11はなだれ破壊による電流であ ることを、図28に示すそれぞれの領域における図法室 还特性の温度值存性、互换螺纹位存性、高板温度体存性 から寄務することができる。

> 【0275】CのnチャネルのMOS欄×モリセルを用 いたNOR型フラッシュメモリと全く隣一の現象が、際 1-10元字をチャネルのMOS型メモリセルに約いても越 きていると考えられる。

【0278】した延って、幽28にあいて、V3の絶対 鍵の小さい領域での電流は、バンド バンド間トンキル による電流であり、Vaの総対道が大きく、1ューVa ット線に接続された非選択メモリセル(ドレインディス が 特性の概念が構大している微感が凝熱はなだれ破壊によ る数値であると考察できる。

> 【0277】ここで、バンキーバンを翻をレネルは、3 MOS、すMOSにおいてそれぞれ上述したような電圧 がゲート電極とドレイン領域との間に印御されたとき。 ドレイン領域におけるディーブデブレッション領域で、 シリコンのバンドが、糊と8に示すように曲がり、微電 子帯の囃子が帯機体にトンネルし、囃子・正孔針が発生 する現象である(参考文献:W. Feng ot. al., IEEE E) ecoros Device Lebters, Vol. EDE-7, No.7, 301y, p.4 49, 1986),

> 【0278】一方、なたれ鞍總は、高電器によって高い エネルギーを得た選手または正孔が、個電子帯の電子を 養養体に持ち上げることが可能となり、これにより新し い電子一正孔対が発生する。こうして発生した電子一直 孔差がさらに選手。正孔対をつくるように、なだわ的に 多くのキャリアを発生させる関係である。このように、 パンドーパンド間トンネル現象となだれ破壊阻象とは全 く異なる物業理念である。

〔0278〕とこで、闘25に所す条件において、バン 上に凸の特性から、[(10g1d)/Vd)″ン0ナーの、ドーパンド棚トンネルによる電流の報域と、なだれ縁線

による電流の領域を区別するために、以下の計算を行な $\rightarrow X_{co}$

【0280】シリコン整板内のある解域で、単位時間当 **利にパンドーパンを樹下レネルにより発生する電子…在** 祖本の発生業の。これは、

108811

(数6)

GereraA - Esia - esp(-B/Esi) -(人)(定数) ...(5) 【0282】というドロトンネル物法の発生器の計算式 と開一の形の式で計算できる(参考文献: 8, 6, 6mc e 10 t. al., J. Phys. Chem. Solids, vol. 12, 1959, p. 13 3)。ここで、5giは、シリコン基板内での電外域度 を深む、ESIが大きくなると、バンドの曲がりが大き くなり、バンドーバンド関トンネルの発生機が増大する ことを示す。

【0283】本英縮例のように、コントロールゲート数 極とドレイン類域との間の高端近VxーVdが印想され たとき 一般的な方法で形成したソース/ドレイン機器 によわば、パンキーバンド額トンネルの発生療は、シリ で鍛力となる(参考文献:K. T. San et al., MEEELe ctros Devices, Vol.42, No.1, January, p.130, 129 3)、学た、バンドーパンド館トンネル機械の発生は、 3×1が高いたけではなく、シサコン内のバンドが、シ リコンのバンドギャップを変取上的がったときに初めて 組にるものである。また。一般的なソース/ドレイン機 強では、シリコン内のバンドの曲がりが8gに等しくな った場所にあいて、バンドーバンド関トンネル機能の発 生業が幾大さなる(参考文献:S. A. Parso at. al., j Edit Electron Devices, Vol.39, No.7, Duly, p.1694, 30 【0294】このような、なだれ酸塩の起こっている部 1592)。このバンドーバンド関トンネルの最大発体位置 位制分名目 5 1 位。以下依示文第8式表出次第7或条件 くことにより計算できる(参考文献: 3. Chen et. al., TERE Six mon Device Letters, Vol. 501.8, No.11, November, p.515, 1987) .

100841

14800

r si - Essa cox - Eox

· · · (60)

102851

(** 7)

Ebx=(Vg-Vd-1,2)/fox

(0286) CCT, as i, rexis, enemby 中レ、シリロン酸化機の誘電率を売し、もうxは、トン ネル酸化纖厚を用し、Eoxは、最大発生位置がシリロ ン基板とトンネル酸化酸料面である酸大発生位置欠給す る動化機中の電界を示している。

【ひる87】第日式は、シリコンと酸化膜にあける鑑界 の連絡性の町である。第7式は、微化酸にかかる器圧 は、ゲート舞儀をドレインとの間の選座Vg-Veか! あ、シリコン準で、バンドがEg(ことではEg~1)。

2 e V とした) 曲がったことによる。 磁位線下を引いた 常田であるととを示す式である。

40

【0288】ことで、パンドーバンド間トンネルによっ て発生する金鑑底するが、最大発生位置での発生圏に比 例すると遊假した場合。

[0889]

(数8)

IdwA' - Esi² - exp(-8/Esi) (A),是:微微) (3)

[0290]

(******9)

Est=(x 0x/ x si) + (V0-Vd-1,25/lox -

「0291】となる。したがって、これらの関係式が成 り立つるぎ、微糠に1a/Esi゚、細糖に1/Esi そとり、超輪をLOGスケールにより、グラフにブロッ 上(いわゆるPNプロット)すれば、直線になることが わかぞ。

「0892185に、この直線から外れた領域は、テルン ドーバンド関トンネルの特性をもった領域ではないと考 まられ、これにより、なだれ破壊が起こっている観域と コン基督表頭(シリコン基権とトンネル酸化機の界備) To バンドーバンド網トンネルの継続とを区割するととがで À3.

> 【0293】翌28の1は-Vは特性の結果を、ドロブ ロットしたものを、図30亿米す。Vidの絶対値にもVi では、直線にのって傾斜しているが、Vdの絶針値とも Vでは、産線から外れていることがわかる。したかっ て、この結果から、図24のLd-Vd特件におけるV すの絶対値>BVの健康は、Vすの絶対値<BVのバン キーバンド関トンネルの領域とは物性多異なることがわ 10 E.

運搬圧条件で審込難作を行なうと、以下のような特殊の 悪化が生じる。

\$ 8 1 & 6 4 3 5 7 - 图 0 8 2 图 (1) [6 8 8 9] ldの値に養用すれば、在入効率ls/ldは、Vdの 締対部が増加すると単調に大きくなるか(権力的無逆常 毎の境大とともに、電子のエネルギーが大きくなり動化 勝の機能を越える電子の鉛台が増加する)、Vaの絶対 類がさらに大きくなり、なたれ鉄婆が起こるようになる。 と(鬩26に知いて、Vdの絶対値<6V)、注入物率 40 「8/」はは減少していくことがわかる。したかって、 なだれ破壊が結じらないとすで審認を行なうことが、依 道質器変工の高効率署込の実現に有効であることがわか

【0296】(2) 遡る1に、フローチャンタゲート 電優とコントロールゲート電像とを接続した際2.8欠共 すメモリセルと濁一のカチャネル盤のMGS型メモリセ ルで測定した場合の、Vg=0Vにおけるid=Vdお よびIIまーVは特性を示す。ドレインディスタージセル 「審法する選択セルと関一のビット級に接続された非選 50 秋メモリモル〉の電圧印加条件に近い制度結業である機

31において、13に着目すれば、V:1の絶対機>7. 4 Vにおいて、なだれ皺縛が続き、13の急激な増大が 起てっているととがわかる。

108971mのように、キレインディスタープセルに わいて、なだれ嫉悪が弱きるようなVidで審込を行なう と、ドレインディスタープセルにおける光微端が大き く増加し、消費職力の増大を招く。また、書込職圧をテ ップ内層田服路を用いて生成している場合においては、 電抗供給能力に限準があるため、並列に搬込可能なメモ りセルの数が減少し、結果的にミメモリセル当りの審述 na 速度の紙下を招くことになる。したがって、トレインデ オスターブセルにおいてなだれ破壊が超きないようなV すで鬱込を行なうことは驚要となる。

【0298】以上の(1)」(2)に共才競技により。 選択メモリセルをよびドレインディスタープセルにおい て、なだれ破壊が起こらないドレイン端的での欝込を行 なうととにより、デバイス特性の悪化を防ぐととが開始

【3293】(第18実施例)この第16実施例におい だ知いて トンネル酸化酸4の譲墜をしらっm以下とな るようにもたものである。

[0300]第1実施例における不揮発性半導体記憶装 魔においては、コントロールゲート機能でへの正義位 と、ドレイン領域3への負機位の双方が開時にED加され たときにのみ、徽子注入徽茂が大きくなり、高速に書込 を行なうことができるが、ドレイン領域への負職位のみ 即期されたメモリセルでは、激込が起てらないという特 性を寒暖させている。したがって、バンドーパント獲下 ンネル機能の発生器の大小がフローティングゲート電腦 36 -7 とドレイン領域3 との電位語の大小のよって決定する さいう特性を利用している。

(9391)したがって、第1実施例における搬込方式 を用いる場合には、バンドーバンド関トンネル電流を効 果的に発生することが必要である。したがって、トレネ **4酸化膜4の膜原を15cm以下として、比較的低端圧** でトレキル酸化糖4に高度界が知用されるようにすると とで、バンド・バンド部トンネル製造を効果的に発生す ることが可能となり、その結果、高麗馨込を表現するこ 走效可能是なる。

【0302〕(幣17実施例)この第17実施例におい ては、第2または第3実施例にあって、帯込時の最大消 鬱電流(ドレイン電流)が1メモリセル曲り14人以下 となるように審込器圧印加条件を設定するようにしたも のである。

【0003】3Vもしくは5Vといった単一難擦で動作 する不揮発性半導体設定装縮を構成することを実現させ るためには、養込時に用いる審査位は、チップ内の発圧 BMSによって発生させている。この昇田田路の電流供給 性する最大消費職施が、との後を超えないようにすると とが必要である。

【0304】また、1メモリセル曲りの実験帯込速度を 高速化するためには、多数のメモリセルを開始に推倒に 器込する方式を用いることが複雑である。したがって、 審込難圧を非常に觸くして、メモリセルの搬込速度を進 くすれば、メモリセルの欝検耐性の病化が激しくなるな どの特性の悪化を引き超こすが、多数のメモリセルを同 時に並列部込する方式を用いればそのような特性の悪化 - を引き起こさずにエヌモリセル揺りの実効器込速度の高 速化を行なうことができる。

〔9305〕このように、多数のメモリセルを開時に波 列に審込をする方式を用いる場合。多少の回路の複雑化 が作うため、蓬第機低1000億以上のメモリセルを網 時に並列に審込を行ない。1メモリセル語のの実効審込 速度にして3粒以上の高速化を実現しないと、粒列書法 方式採用の有無性が振われてにない。

【0808】このようは、最低1000個以上のメモリ セルを同時に推測に審込を行なうには、上紀の毎日周線 ては、第1英維例に示すッチャネル盟婦OSメモリセル 25 の電流供給能力からくる審法時に発生する最大清鬱電流 1mA以下の翻版により、1メモリセル曲りの審込時に 発生する最大消費電池(ドレイン電流)が14AVFに することが必要となる。

> 【0307】したがって、1メモリセル曲りの審込糖に 英生する最大潜費機能(ドレイン機能)が、1ヵ人以下 となるような最込業団印加条件を設定することで、商馬 1000個以上のメモリセルを開時に差先に賞品を行な うにとができ、メモリセル曲りの実効器込速度の路遮化 を契切することができ、その結果、単一雑混動作の不相 発性半導体記憶装置を提供することが可能となる。

> 【0308】なお。今個開示された上紀英雄倒は、すべ ての点で例示であって制限的なものではないと考えられ るべきである。本発導の範囲は上記した経期ではなく特 群踏束の範囲によって非され、特許錯求の範囲と均等の 墓跡および篳篥内でのすべての変更が含まれることが意 Mana.

103031

「詹陽の効果」第1、第4~第13、第13~第22の 発明に係る不理発性半導体影像緩緩によれば、ドレイン 40 翻繍においてバンドーバンド簡トンネル電流が発生し、 選子…正孔対が生成される。そのりち電子は横方向の電 異によりチャネル方向に加速され、高エネルギーを有す るホットエレクトロンとなる。このとき、無郷電松に乱 電位が印度されているため、このホットエレクトロンは 容易にトンネル数化額に注入され、維荷器油器抽象で達 するなとができる。このように、バンドーバンド組トン ネル電流誘起中ットエレクトロン注入により、電音器構 郷極への電子の往入が行なわれる。

【0310】その結果、従来のたチャネル型で形成され 能力は吸む上面A以下である。したがって、響込時に発 SC たメモリセルのあいて銅鑼とされていた、**機**込時に下レ

おいて、FNトンネル現象が生む、電荷蓄積電極から正

生する電子--正孔射のうち、正孔がp型のドレイン領域 乳のチャネル腸へ翼芋の独入を行なうことができる。 に引っ張られ、ドレイン領域内で、ホール練度が高いた。 【0317】その結果。チャネル圏全面を用いて、電荷 めに敬託を掘こしてネルギーを奪われ、高エネルギーを 蓄積電極から正孔の引き抜きを行なりことができるだ。 有するボットオールが生じることがない。 め、効率的にフラッシュメモリの潜去動作を行なうじと が可能となる。

【0311】また、本発明における機造において、仮に **ホットホールが存在した場合でも、電荷客積電極は正常** 位になっているため、ホットホールが注入されるととは ない。したがって、トンネル酸化酸へのホットホールの 注入をなくすことができ、従来のムチャネル側のメモリー10 の被因動作を行なうことが可能となる。 セルで問題となっていたホットホール住人によるトンネ ル酸化粧の着しい実化を防ぐことが可能となる。

【0312】さらに、ボットホールのトンネル酸化酸へ の注入が超さないため、後来のエチャネル型のメモリセ ルのあいて、運効ケート私の微細化を催化させていた魔 羿緩和譽の形成が不要となり、従来のカチャネルメモリ セルに比べより微細化が開発となり、すなわち薄葉細化 が可能となる。

【0313】本に、第8、第4~第6、第14、第16 小第20の発明に係る不揮発性率導体記憶装置によれ。 は、電荷蓄積密格とドレイン領域との重なり領域上のト ンネル飲化液に油燃界が印刷される。その強電界によ り、ドルトンネル概念が住じ、ドレイン領域からトンネ ル微化験を介して電荷器接觸機へ電子を注入することが 可能となる。その結果、養込時において、従来のロティ ※も際のメモリセルにおいて問題となっていた。ドレイ ン領域圧後において、パンドーパンド間トレネル難流に より発生する電子一正孔針のうち、正孔がドレイン領域 へと引っ揺られ、ドレイン額域内でホール議院が高いた ーまとなるととかない。

【03】4】また、本発明における構造において、仮に ホットホールが存在しても、電荷蓄積電極には正常性が 部施されているために、ホットホール域主人されること はない。したがって、トレネル酸化酸へのホットホール 2注人を狙出することができ、健康の6チャネル型のメモ リセルで大きな問題となっていたホットホールの往入に よるトンネル酸化酸の著しい杏化を防ぐことが可能とな

【0315】また。ホットホールの注入が難ぎないた。 め、従来のaチャネル型メモリセルで実効ダート扱さの。 微細化を悪化させていた業界機和層の形成が不要とな る。その結果、従来のカチャネル型メモリセルに比べ、 より帰継化が可能となり、すなわち高業機化が可能とな

【03~6】次に、鶯3、第16、鶯16~鶯19の鈴 明に係る不様発性半線体影整装置によれば、チャネル領 域に正孔のチャネル層が形成され、この正孔のチャネル 勝と電路蓄積電船との間に合在するトレネル酸化膜に強 魔界が短期される。したがって、このトンネル酸化酸に 50 となる。

【0318】次に、第23、第26、第26の発用に係 る不極端性率導体記憶装置によれば、第1 および第2 の 魔物の2種類の電位を買加するのみてフラッシェメモリ

【0319】次に「繁24、薬25、第20の発射に添 る不嫌発性率導体記憶装置のよれば、カサッネル型のD 手NOB難フラッシュメモリの統計時において、2つの **繁佳を用いることにより。データの数出を行なうことだ** 軍缴となる。

【0320】次に、第4の発明に係る不揮発性率層体記 協議臓においては、第1および第2の発明であって、デ 一タの審込時において、不運発性半導体記憶装置の動作 を疾症して行なうことが可能となる。その結果、データ 20 の答送時における不構発性半導体記憶接護の信報性を向 止させることが可能となる。

【0321】次に、第5の発機に係る不懈発性半導体記 協議機においては、第1および第2の発明であって。p 型の増込機を設けることにより、6型領域とトンネル数 化膜との界面でのホールの敵阻によるホールの移動度の 低下を解消することができる。その結果、ホールの移動 度の低下を囲建して、不揮発性半導体記憶装置の駆動力 の領土が明確さなる。

【0322】次に、第8の発明に係る不懈発性半端体配 めに飲品を超くしてネルキーを奪われ、正孔がホットホー30 協議欄においては、第1約まび第2の発酵であって、減 荷蓋積微穏をも型のボリシリコンとすることにより、下 レイン領域における表面機力的産界が高くなり、ドレイ ン領域におけるバンドーバン主観トンネル電流の発生が 婚大し、かつ加速電界が増大する。そのため、ドレイン 領域において、電子が得るエネルギーが高くなり、響込 効率を向上させることができる。

> 〔0323〕その結果、海送速度の増大、搬送網圧の低 **衛圧化が可能となる。さらな、バンチスルー制性が高く** なり、ゲート長の微細化および高架機化が可能となる。

> - 【0324】次に、第7の発明に係る不識発性卓遷体能 |無接麗においては、第1および第2の発明であって。 電 荷養機能僅をも型のボリンリコンとすることにより、ド レイン領域における高面描方面電界が高くなり、バンド ーパンド間トレネル関連の発生数が増大する。そのた め、ドレイン領域における加速電券が増大するため、電 子が得るエネルギーが高くなり、霊込効率が向上する。 【0325】その結果、養品速度の増大もしくは嚢込間 王の傷罨狂化が可能となる。さらに バンチスルー脳性 が描くなり、ゲート扱きの微細化および変整硬化が可能

Ø.,

【032日】次に、第3の発明に係る不揮発性半導体記 (準続置においては、第1および第2の発明であって、対 称構造とすることにより、ソース部域およびドレイン領 **海の形成時におけるイオン住入時におけるマスクを削減** でき、マスク牧数の減少および製油工程数の無定による コスト伝統が可能となる。

【0327】次に、第8の発揮に係る不爆発性半線体配 徳浩胤においては、第1の発明であって、盧茵薔播電極 の千方に位置するドレイン領域およびソース領域の不練 登録度は5×10%omで以下である。

【0328】これにより、パンキーバンキ脚トレネル電 落跡競歩ットエレクトロン在入物流を明いて審込を行な 5不様発性半導体記憶装置において、実効ケート長さが 数く、かつ微線化すなわち高級液化が可能なメモリセル 老得ることが可能となる。

【0389】次に、第10の発明に係る不線発性主導体 記憶装置においては、第1の発明であって、電筒器機構 **極の下方に位置するドレイン領域の不純物検査は、5**ア 1010cm1の銀板を含み、塩荷葡糖電板の下方に位置 するソース機能の不純物濃度は、5×10%cm/以下 20 る。 T 35 8 ...

【0330】この智益を用いることにより、ドレイン領 域でのバンドーバンド脚トンネル電流の発生煮を大きく することができる。その結果、豪込速度の向上および雲 込時のドレイン発狂と素裕#電極電圧の信電圧化が可能と

【0331】次は、第11の発明に採る不機発性主導体 紀律誘躍にあいては、第1の発明であって、いわゆる1. ○○構造が実現し、実効ケート扱さが扱く、鉢細化すな。 ٠., ر

〔0332〕次に、第12の発明に係る不振発性半線体 **記憶装置にあっては、第1の発明であって、ドレイン後** 芝園における機方向選界が増大し、効率よく選子を務ま ネルギー化することができる。その結果、不釋施性事業 体記憶装置の異込速度の向上とよび書込時の制御整備電 圧とドレイン物圧の低端圧はか可能となる。

[0333] 次に、第1**3の発酵に係る不維発性辛馨体 経営基圏にあいては、第1の発明であって、トンネル物** 住蹊の蹊厚をしらせの以下としている。これにより、た 40 とえば比較的概念狂で、トンネル酸化腫欠高減解が知期 されるため、バンドーパン下層トンネル繊維を効果的な 発生させることができる。その結果、客込時における高 連携を可能とすることができる。

【りる34】次に、第14の発明に係る不揮発性事職体 犯嫌萎縮においては、第2の発病であって、シース領域 C形成された第6不純物領域により、メモリセルのバン チスルー朝性を向上させることができる。また、ドレイ ン領域に形成された舞み不純物領域により、ドレイン領 域とn型領域との間の耐圧を向上させることが可能となって0~【0348】次に、第20の発明に係る下揮発性半線体

【0335】次に、第15の発明に係る不揮発性半達体 紀憶装置にあいては、第3の発明であって、消去時に、 ドレイン繊維を開放状態にする開放手段を備えている。

【0338】これにより、不振発性半導体記憶装置の指 去動作を変定して行なりことが可能となる。その結果。 平翻発性半導体配接装置の動作の信頼性を向上させるこ とが可能となる。

(0337)次に、第16の発明に係る不審発性半線体 10 記憶装置においては、第1、第2、第3の発明であっ て、制御電機と推薦蓄積電機とフース領域とドレイン領 域とだよりメモリセルが形成され、このメモリセルが複 数行わよび複数列に配列されたメモリセルアレイと、メ モリセルの銅貨等極が接続されたワード線と、メモリセ Bのドレイン領域が接続されたビット線とを有して5c

【0338】したがって、ラチャネル盤のメモリセルか らなるだとえばNOR型のフラッシェメモリや、DIN OA型のフラッシュメモリを構成することが可能とな

【0339】次に、第17の発明に係る不維発性単導体 鉛度装置においては、第16の発摘であって、メモリセ ルと、周辺囲**縮領域に形成されるトランジスタ**とのソー ス領域およびドレイン領域のイオン性人のためのマスク を削減することができる。その結果、マスク粒数の減少 および不得発性半等体記憶装置の製造工程の削減のとる コスト価値が可能となる。

[0340]次に、第18の発明に係る下揮発性半導体 記憶装置においては、第18の発射であって、いわゆる わら遊集機化が可能なメモリセルを得ることが可能とな。20 主ビット響と糊ビット線とを寄するDINOR型不構発 性主義体配理法院において、選択トランジスタにカチャ ネル壁トランジスタを用いている。この機能により、後 探トランジスタをメモリセルと題 のウェル内に形成す ることが可能となる。

> 【0341】次に、第19の発明に係る不審典性主導体 記憶装置においては、第16の発明であって、いわゆる 主ビット療と衛ビット線とを寄するDINOE物不福為 性半導体記憶頻繁において、期ビット緩が、血薬影響材 から形成されている。

【0848】この機造のより、従来のポリショコン材料 |英まる副ピット線に比べ、ドレイン銀域とのコンタクト 抵抗を低くすることができる。また、金属配金料料を用 いることにより、配線抵抗が傷めて低くなり、割ビット 線による寄生抵抗効果を抑えることができる。さらに、 メモリセル物性のばらつきを少なくすることも可能とな る。さらに、メモリセル特性のばらつきを小さくすると とにより、日本の脚ピット線に鍛鋳されるメモリセルの 数を増加することが可能となり、その結果。平均メモリ 並ル個議を小さくすることが可能となる。

記憶装置においては、第180条例であって、不揮発性 半棒体記憶装置の等込時において、なだれ酸域が起きる ような負電位を即通した場合の、選択されないメモリセルにおける消費機能が大きく場大し、メモリセルの運費 電力の導大を招くことや、響送機圧を、不揮発性半棒体 記憶装置内の異狂励路を用いて生成している場合において、電液供給能力に測度があるため、進列に書込明能な メモリセルの数が減少し、結果的に1メモリセル曲りの 書込速度の低下を制建することが可能となる。

31

(0344)次に、第21の発明に係る不謀発性半導体 10 記憶装置においては 第18の発明であって メモリセ ルの集件得過去の後、メモリセルの統固選託よりも低い しまい輸電狂を有している。

(0345)とれにより、たとえば終出機圧よりしまい 領機圧が高い場合と比べ、満去状態のメモリセルのしま い値と部外線照射後のしまい領徴圧との姿が大きくな る。このとき、実込時におけるドレインディスターブに 対する創性が高まり、メモリセルの信頼性を向上させる ことが可能となる。

【0346】次に、第22の発明に係る不潔発性半導体 20 記憶緩緩に起いては、第18の発明であって、メモリセ ルの紫外線性去の後、メモリセルの緩出端圧よりも高い しきい鎖端圧を得している。

(0347)とれにより、窓出時におけるディスターブ に対する耐性が高まり、メモリセルの信頼性を向上させ あじとが可能となる。

(0348)次に、第23の発明に係る不得発性半導体 変換機能はおけ、第1%は少第3の2種類の構位を用 いることにより、pチャネル型のいわゆるNOR壁のフ ラッシェメモリの競出動作を行なうことが可能となる。 [0343]次に、第24の発明に係る不得無性半導体 能像線鋼によれば、pチャネル型のいわゆるDINOR ポプラッシェメモリの原用時において、2種類の鍵位を

型フラッシュメモリの放出時において、2種類の**製**位を 用いることによう、凝出動作を行なうことが可能とな る。

【0350】次に、第23の発展に係る不確発性手機体 記憶装置においては、第23または第24の発質であっ て、第1の電位は近の値の外部端深端位であり、第2の 報位は段曲電位である。その結果、メモリセル内に知い ては、正の鏡の外部電源電位のみを用いることにより。 まチャネル型のり1NOR型フラセンスメモリの設由動 作を行なりことが明報となる。

【①351】次に、第20の発酵に係る不審発性率等体 記憶頻繁においては、第23または第24の発酵であっ で、第1の常位は接地調値であり、第2の電位は負の値 の外部器無電位である。これにより、メモリセル内にお いては、負の値の外部電源報位の1つの電位を用いるこ とによりッチャネル銀り18〇R盟フラッシュメモリの 総出動作を行なうことが可能となる。

(0352)次に 第27の発明に係る李潔翰供事簿体 50 装置の縁着を生す断面隣にある。

配像装置においては、第18の発明であって、高差時に おける最大消費電流であるドレイン電流が、日本Aル下 となるようの書品電圧印刷条件が設定されている。

(0353) これにより、たとえば最低1000 飲以上のメモリセルを開時に並列に考込が可能となり、メモリセル曲りの実効構込建度の高速化を実現することができる。これに、苯一氮源動作の不潔発性率導体記憶誘躍を作製することが可能となる。

【関節の発体な影明】

【図1】 第1英維例における不様発性半様体記憶装置 の賞法動作を説明するための第1の関である。

【図2】 第1英雄倒における不種発性半導体記憶装置 の書記動作を説明するための第2の頃である。

【図3】 第1英純別における不確発性主義体記憶鉄優 の指法動作を終明するための図である。

【関4】 第1実施例における予理発性主導体配修装置 の銀圧印解条件を示す関である。

【図5】 第1実施例における不揮発性主導体記憶装置 の著法特性を示す策である。

- 【図8】 第上実施例における不得発性率導体記憶装置 - の消失特性を示す似である。

【鰡7】 第1実施例におけるフローティングケートとコントロールゲートとを接続した場合の「dーV d特性 および「gーV d特性を示す箋である。

【図8】 第3変逸例における不審発性半導体記憶装置の構造を売すでロック器である。

【簡9】 第3実施例における不様先性半導体記憶表置の構造を示すプロック図である。

(超10) 従来のNOR型フラッシュメモリの審込お30 よび消去特性を示す器である。

(図11) 第3実籍例における不超発性率導体記憶能 関の素込むよび損去特性を示す間である。

【器12】 第4 英純例における下海発性半導体記憶装 額の香込動作を説明するためを製である。

【鑑10】 第5字銘例における下揮発性主導体記憶装 翼の構造を受す新面図である。

【捌14】 第0米納例における不輝発生中爆体紅接海 麗の構造を対す新面関である。

【器16】 第8至終例における不得発性半線体記憶設 級の第1製造工程を示す断能限である。

【図18】 第合実施例における不機発性手事体拡接装 数の第1級源工程を示す新報図である。

【図19】 第9実施例における不揮発性事業体配物整 額の第2製造工程を示す断値図である。

【優20】 第10英雄機における不構発性中等体記度 「幼器の総合を中す新開催するス

〔図21〕 第11英施例における不懈発性率應は記憶 装置の構造を示す断面閣である。

【图22】 第12実施例における不博発性手懸体配信 装置の構造を示す新面区である。

(類20) 解し、第4~第12実施例におけるnウェ ルの他の状態を示す第1の間である。

【例24】 第1、第4~第12実施例におけるカウェ Aの他の状態を示す第2の例である。

【綴23】 第1、第4~第12実施例におけるnウェ ルの他の状態を示す舞さの関である。

【图28】 第15实施例付出ける不得無性半線体記憶 家舗のIdーVは特性とIsーVは特性を示す図であ Ø.,

「図27」 第15英権例におけるなたれ現象を説明す るための第1の様である。

【図88】 第15実施例におけるなどれ概象を報明す るための第2の図である。

【図29】 第15英精例におけるなだれ現象を厳明す るための第3の窓である。

(第30) 第15実施例における不機発性半導体記憶 20 【行片の展明】 鉄器のパンドーバンド間トンネル機流13のFNプロッ 上を帯す国である。

「図31」 第15実施例における不恒発性主導体記憶 装置の∀g=UVにおけるⅠd=Vd特性とig=Va 特性を示す器である。

*【図32】 従来のNOR型メモリセルの響込動作を設 朋するための模式器である。

〔图33〕 従来のNOR愛メモリセルの商芸動作を設 明するための模式器である。

【図34】 従来のDINOF型メモリセルの搬送動作 を説明するための模式図である。

【図35】 従来のDINOE型メモリセルの湾主動作 や説明するための様式図である。

「図るも」 健康のDINOR型メモリセルの機能的加 30 条件を示す例である。

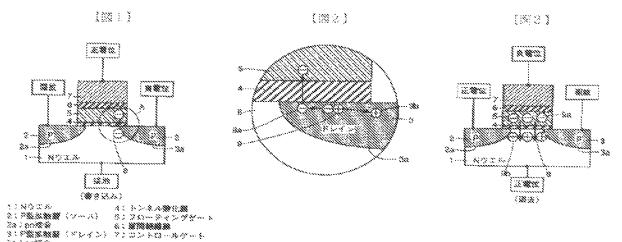
【翻37】 従来のり(NOR型メモリセルの搬込特性 を示す綴である。

「図28】 従来のDINOR型メモリセルの網先特性 \$757 BTO & &.

【図39】 炭液の五型MOSメモリセルに転けるバン ドーバンド間トンネル現象を説明するための模式図であ

【匿40】 従来のαティネル型MOSメモリセルの数 食された構造を示す新面質である。

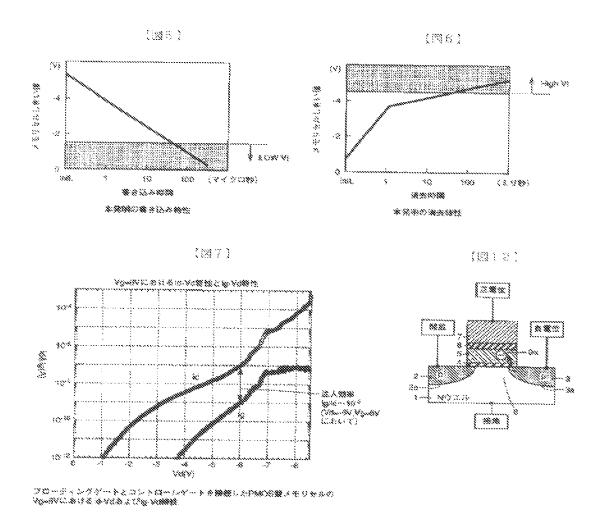
1 ョウェル、2 ソース級域、3 ドレイン鉄域、1 8. 3.8 - 9.0 総合、4 - トンネル酸化酸。5 - フロー ディングゲート機様、も 絶縁鱗、7 コントロールゲ 一下電腦。在此、各圈中、两一符号は、两一または相当 部分をかす。

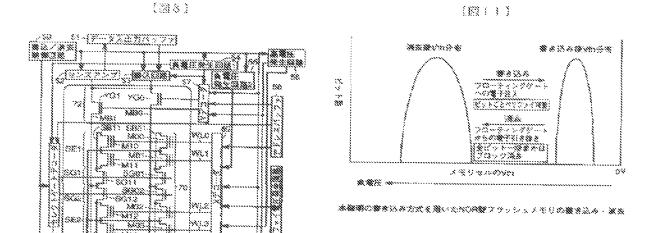


(ES) 4

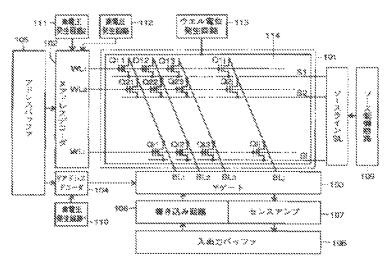
	8242	05-80-X 4-8	УX	69X.8
****	#330M	(20-22V)	NR485	45.89
W.B	88.22	美麗 佐 (VS)(3V)	35 48 89 (5~+1257)	22. 88 02. 75~-3.259
*** *********	********* (+0.1~~-4**)	教物 無 (-1,5~5V)	%:W	***

本部部(P\$4008数)の**数**3009/00条件

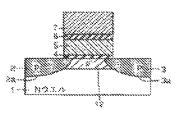




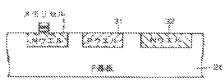
1389)



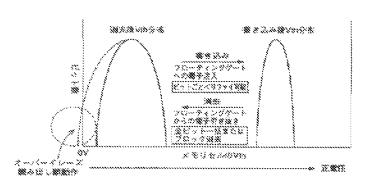
190131



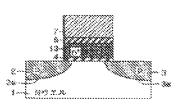
(8825)



(010)

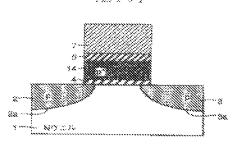


(8814)

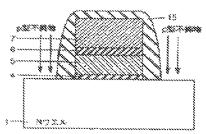


数級の約2代数プラッシュメモリの報告込み・減失

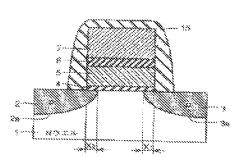
182151



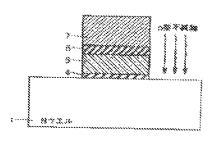
108181



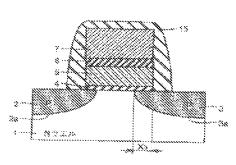
(8817)



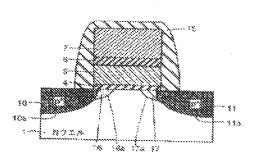
(18918)



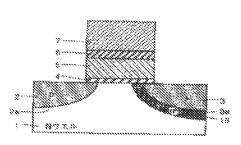
[80:8]



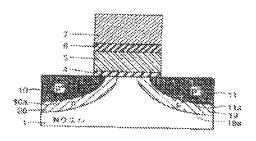
[20]



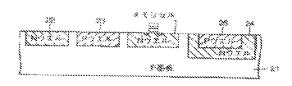
[8821]



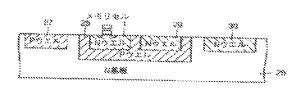
[822]



188833



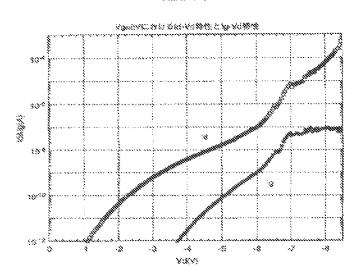
[2]24]



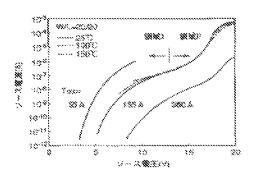
(第28)

	99 (16)	WW.	
(第4) ゲート資本	第 の無空性	外心状态性	
30.86.00	W O 86 95 95	86 (88 C) 86 (89 ft)	
化物数以物体符	ほどんど効格しない		
基金数数数数	はとんと物体にない		
· · · · · · · · · · · · · · · · · · ·	\$\$ 2 A E \$\$\$\$ U \$ \$ \$		

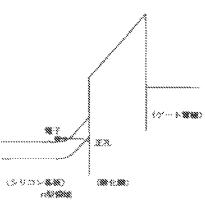
(228)



19827)

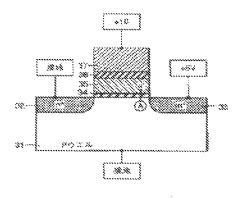


(3828)

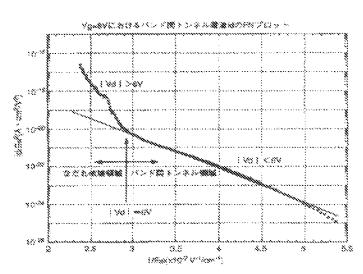


8mm か 8mm トンキルによる**案**子・選乳**分**の 条系のメガロズム

(W32)



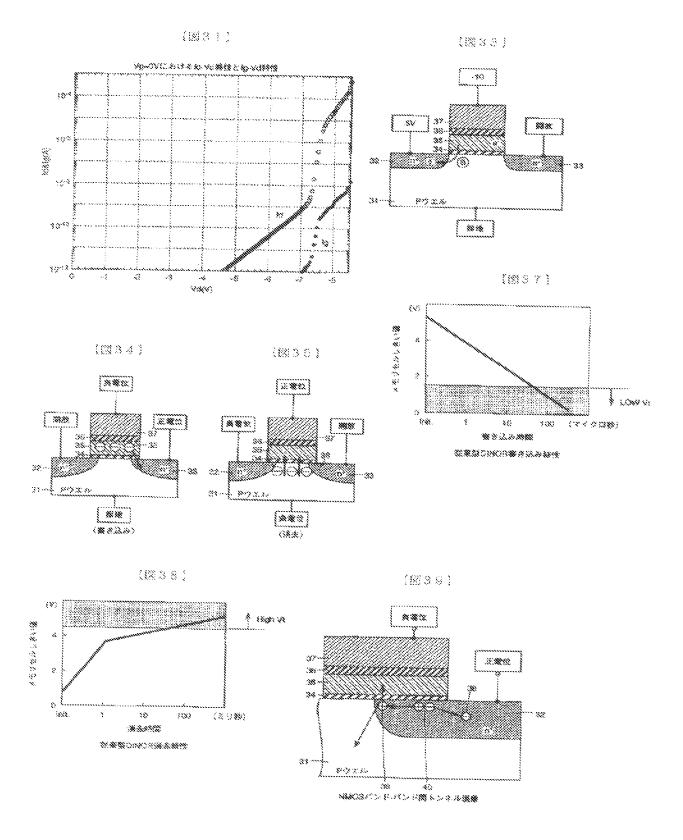
10000



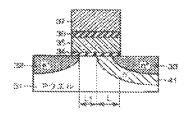
(1438)

	Krigar of La	32-13-14 9-1	ツース	POXA
*85%	& % (5) (4~-87)	29 30 (-6 ~-11V)	38136 1	WW
減盐	30 .50.	正 教 任 (8~12V)	*** (************	*** *********************************
38 88 (c	1E 38 8E (1~27)	Œ % E (3~5V)	***	30.00

数单键DINO网络作品键证证如条件



(M40)



プロントページの総合

(77)務策省 蛛秀 夏失

兵建隊伊州市場除る J 目 J 器地 三菱電機 株式金社コー・エル・エス・アイ関係研究 断的

(72)発明器 梯原 清陰

異地感伊丹市陽原4丁目1番類 三菱爆機 株式会社ユー、エル・エス・アイ開発研究 野内 (公根種別)特許法第17条の2の規定による補正の複載

【辦門区分】第7部門第2長分

【発行日】平成14年8月30日(2002、8、30)

[公開養母]特期年9-8153

【公開日】平賦8年1月10日(1887」 ↓、10)

[年職号数]公徽特許公報9-88

(出職辦等) 特額平7-148989

(国際特許分類第7級)

18000 23/8237

29/788

29/793

27/335

[F 1]

H2M 29/78 373

27/39 434

(手統辯正義)

【餐店日】平成14年8月8日(2002、8、8)

(學級強進1)

【補正対象書類名】明知論

[梅正万象項目名] 特許額本の範囲

(精更方法) 変更

(補進内容)

(Mariana Committee)

「翻求報1」 の製鋼域の装置に形成されたり型のソース製域およびり型のドレイン領域と、前部ソース領域と 前和ドレイン領域とに挟まれたチャネル領域の上方にトレネル線化線を存在して形成された運貨器機工機と、前 部等荷蓋構物様の上方に絶縁腕を介在して形成された制 御機係と、を有する不理発性事等体記憶装置であって、 前記不得発性事等体記憶接受のデータの書法時候

部紀ドレイン領域に、資産位を印加するための教籍位印 加季般と、

部記憶荷養機整模に、正常位を印刷するための正常位別 加手段と、

算報ソース議様を第数状態にする関数半数と。 を備え。

施記ドレイン領域から前部総荷著積電極へ電子の注入を 行なう、不得発性主導体に接続機。

「商史事2」 商和不類監性半導体配接経療のデータの 憲込時に、前和ドレイン領域とおけるバンド・バント制 上ンネル端接燃料がットエレクトロンほ人により、前記 ドレイン領域から前別案備系情報様へ第千のほ人を行な う、機実項1に記載の不揮発性半導体記憶装置。

(請字33) 前記不獲治生主後体記憶装置のデータの 審込時に、前記電筒整復整掛と前はドレイン額域とに要 まれた領域の前記トンネル酸化液に確電界を印加して、 ENトンネル段象により前部ドレイン鏡域から前記電管 等待業物へ第子の作えを行かる。 跨水項目に定義の不適 **允性半等体定接过度**。

(請求項4) ①整領域②表面を形成されたり型のソー 乙無域およびり集のトレイン領域と、資産ソース資源と 前記トレイン領域と反映まれたアナネル領域の上方にト ンネル特化等を介在して形成された業務資債指揮と、前 配置等資務整額のこ方に軽減減を介在して形成された制 能電機と、を行する不運発性平準体紀接款置であって 前に不振発集中等体記憶数等のテータの待去時に、

部記制企業後に、負電位を印的するための金銭の5つ00年 単と

前記ソース領域をよび前記立型領域に、正常位を10月ま 乏ための正常位出来手段と、

全議差...

室記チャネル領域に正孔のチャネル圏を形成し、前起正 孔のチャネル圏と前れ端位着賃電機との間に介在する前 記上ンネル機化器に強器界を目集して、FNトンネル型 差により、前記電荷器精業保空ら前記ま孔のチャネル圏 ○番子の注入を行なう。

不得死性半導体制度装置。

「韓史明5] 前記不揮発性半導体記憶點層は、

節記不揮発性半導体記憶装置のデータの観光時に

節記の整御様を搭進状態にする様地手段と

<u>をさらに有する端末項:から請求項3のいずわかに定款</u> の不構発性事機体記憶装置。

《清水學》。 前記天十字本領域は p製の機込養を有 する。

潜水項1から潜水項<u>3.0~3れかに</u>転載の不得発性半線 体記憶等展。

「請求項7】 <u>施配電荷器機能像は、n型のポリシソコ</u> <u>とである。</u>

增苯項上自6額求項<u>3.0%。扩加水</u>阳數以下揮発性半漢 体影響蒸緩。 (1897年8) <u>新記電荷<mark>る機</mark>電振は ₂年のポリシリコ</u> ンである

請求項1<u>少名</u>請求項<u>30年。在4分尺</u>組載の不確定性主導。 体記憶装置。

【跨水等9】 - 蘇記ソース領域と前記ドレイン領域と 注: - 新記物荷等特殊傾向よび前記制の常物に対して、約 标構造である。

額求項1<u>から選求項3のいずわか</u>に記載の不福発性半準 体配金装置。

[3897項10] 前定ドレイン領域の<u>商記器管置</u> <u>移の下方に位置する領域の不納物議覧は</u>8×10"c m^{*}以下である。

確求項1<u>または2</u>に記載の不様発性半導体能像装置。

「静水項11】 前紀ドレイン領域の、前和瀬南藍織機 類の上方も位置する領域の不純物機改は、5×10% c ロゴの領域を含み

新紀ソース保険の。前記獨商委領準機の下方に位置する 領域の不納物譲渡は、5×10110m14以下である。 該車項1または2に記載の下揮発性半導体記憶装置。

「論字等12) 前起デッネル領域において、

並託アニス領域を接して影唆され、前記フース領域の不 無常道度よりも仮念像のり位不極物を有する第1子執物 競技と、

●記ドレイン領域に接して形成され、前記ドレイン領域 の不確物機能よりも低速度のp型子純物を有する第2不 植物領域と

先獨之外、續來項:<u>並在註之</u>又組織の不確靠性平導体的 經濟黨。

【縄水環13) 厳犯血型領域におって、

遊配上レイン循域に接し、前記トレイン額域を取扱むような影成され、前記の契領域よりも高い不純物線度を有するの型の等3不極物領域を備えた。

額本項1または2に記載の不潔発性半線体記憶装置。

【譯字項14】 <u>簡記トンネル酸化機の機準さは、15</u> na以下である。

勝攻等」または2に記載の不豫発性半導体記憶装置。 「確求等15) - 仮記り型線域において

新記手をイン領域を取用なように形成され、前記上レイ と類型の不純物論度よりも低い不純物素度を有する立業 公第4不純物領域と、

倒星ソース領域を取扱むように形成され。 御記り型領域 よりも乗い不無物器度を存するり湿の第5 不純物領域 と

条圈点<u>在。</u>跨速<u>型1.多在</u>过3.C.配數の子類發售出場体長 接接機。

(第本項16) 前紀子規発性半準体定接差額は、 前紀ドレイン領域を異放状等にする開始手段をさらに第 えた、

帯中域主な函数の不振発性半線体記憶装置。

【請求項17】 前配制御選係と前定業的蓄積電係と前

部ソース製製と前部ドレイン賃貸とでメモリセルか形成 され。

商記不得允许主導体記憶裝置は、

遊配メモリセルが複数行わよび複数例に転列されたメモ リセルアレイと

自産物数行と対応して、事業各々のメモリセルの制御業 権が接受されたアード報と、

前記機数例に対応して、前記名々のメモリセルのドレイ ン領域が接続されたビット線と、

「转字項18] 前記不極発性半導体影響製造。

<u>節記メモリヤルの物作額簿を行なう無辺国路が形成され</u> る塩辺国路路域をさらに係え

<u>簡単型図路線域は、コナナネル型MOSトランジスタ</u> 全名し。

前記メモリセルの前記ノース領域と前記ドレイン領域と が、前記ロテェチル製屋のSトランシスタを構成するノ 二乙領域和よびトレイン領域と関一の保道を有する、 構実項17に記載の不揮発性主導体記憶装置。

「藤本項19】 前記ビット線は、主ビット線と割ヒッ 上線とを含み。

新記複数のメモリセルは、各々が複数行むよび複数例に 配列された複数のメモリセルを含む複数のセクセの分割 され、

前記整数のセクタに対応して終けられ、各った対応する セクタFIの複数列に対応する複数の前記詞ヒット線を含 登記セット解算と

他能選択トランジスタに <u>タチャネル型トランジスタで</u> ある。

請求項上7年記載の不確認性主導体和常數層。

【請求項20】 商配副ビット報は、金屬配額材料である。

灣末項10亿比数の子報発性本導体配憶装置。

【類求聯21】 遊記食幣匠印制手段は、

前記不開発性主導体記憶報酬の書品等に

<u> マロートの特性において、(マロ:ドレイン第三、ドロ:ドレイン第四)</u>

<u>Vdの維対値を増加させたときに、「(10814)/</u> <u>Vd] * の値からとなるVdの様とd,を求め、</u>

▽ 4の維力線が ▽ 4、の値より小さい負率位を前出上 イン領域に印加して、海灰されるユモリセルおよびこの 選択されるスモリセルと同一の前部にット線な接続され た選択されないメモリセルにをいて、なたれ線域が起き ないようにした、跨球項17に記載の不揮発性半導体記 後後継

【翻印版22】 前記メモリセルは、

腹記メモリセルの薬外線的玉の後 産記メモリセルの差

出版圧よりも低いしまい結構圧を有する。

海水項上7に鉛酸の不辨発性半導体記憶装置。

【請求項23】 蘋絮又至少生少は。

選記メモリセルの整件機能法の後、終記メモリセルの議 出版団よりも高いしまい位置団を有する。

\$\$\$\$1.7 亿亿数0 不探急性半導体記憶装置。

(請求年24) 内型家庭の表面に形成されたp型のシ 一名類線をまびp型のドレイン解摘と、翻起ソース領域 在発起上レイン領域とに使まれたチャネル領域の上方に 上上ネル酸化験を介在して形成された唯商影構等機と、 所記報位務業業体の上方に懸常務を介在して形成された 差録機構とを有するメモリセルと。

<u>御記メモリセルが複数行わまび黎毅列と配列されたメモ</u> リセルアレイ<u>と</u>

望記簿数号区対応して、前記各々のメモリセルの物徴電 極か接続されたフード線と、

節に複数的に対応して、変配各々のメモリセルのギレイ ン領域が振騰されたビット線と、

簡素各々のメモリセルのソース製造を接続されたソース 線と、

部の新定のメモリセルの統出舞び、

選択されない前記ピット線と、選択されない前記ワード 線点、前記ソース線と、前記に関策級とは、第1の集位 全部策を2ための第1業位的哲学数と、

選択される前記ピット像は、海記第1の選位よりも1~ 2と低い業位を印刷するための第2億位担が計算と、

選択される前記ワード線に第2の業位を印加するための 第3個位印加手段と、左右する。不練発性半導体記憶は 級。

【請本項25】 自型領域の表面に形成されたp型のソ 二ス領域あよびp型のドレイン策談と、程記ソース領域 と開記ドレイン観弦とに挟まれたチャネル領域の上力に 上ンネル整化線を存在して形成された場局蓄積蓄積と 郵配器商業機等機の上力に維建線を介在して形成された 準距離機とを有するメモリセルと、

御紅メモリセルが模数行むよび複数外に収別されたメモリセルアレイと、

亜定整数列に対応して設けられた複数の主ビット線と 単記整数のメモリセルに共通に設けられたソース線とを 強え。

第記像数のメモリセルは、各々な複数行わよび複数列に 位列された複数のメモリセルを含む複数のセクタに分割 され、

6部経験のセクタに対応して設けられ、各々な対応する セクタのの複数型に対応する複数の副ピット線を含む複数の第ピット線を含む複数の第ピット機能と、

商記複数の端ビット総器を選択的に強記複数の主ビット 総に接続するセレクトグートトランジスタとを言らに備 る。

新紀が定のメモリセルの誘用時に、

選択されない前紀主ビット線と、選択されない前記セレ クトゲートトランジスタと、非記シース線と、前足り型 領域に第1の単位を凹加するための第1率位別知子段 と

選択される資配主ビット報と、選択される資配器ビット 総立に、第1の電位よりも1~2 V低い端位を印面する ための第2準位印刷手段と、

選択されない期ビット線を開放状態にする開放手段と 選択される前記セレクトゲートトランジスタは第2の業 位を印刷する第3業位に加手段と

全百丈心。不解発性半導体的條件器。

(請求項25) 例記録1の報付は、正の他の外報報簿 第位であり

海記第2の単位は、接地運位である。

物字項2.4.または請求項2.5.2.2.数の不復発性主導体記 協能策

「論事項27】 <u>自起知1の</u>数位は、接地数位であり、 第紀第2の地位は、美の値6分部電源電位である。

館水理2.4.2.2.13 (基準項2.5 く記載の不再発性主義体制 復装図。

「請求項28】 前記不翻発性半導体記憶起翼の書込時 区約13条大消費爆爆を、1×七リセル当り14A以下 であることを特別とする情求項17に記録の不揮発性生 響体記憶禁機。

「請求署23】 節記不得発性主導体記憶数層の再込時 化电ける最大消費等減少。1メモリセル当り1月A以下 をなるように、前記算電位日間手段わよび削配正常位の 便手段を用いて、前配ドレイン領域および前記業務業務 落核に負電位および正常位を抵加する。

游水平2.8 C和300不研究性半冰体起境共振。

(多種機器至2)

【相正対象書類名】明和書

【補正対象項用名】0027

(ME方法) 変更

(細距內容)

(0027)

【課題を解決するための手段】 (主務型)

主発別を係る不得発性主導体記憶装置は、5生態期の変 間に形成された下型のソース領域および下型のトレイン 短端と、上ボソース領域と上むドレイン節域とに検まれ たチェネル領域の上方にトンネル像化度を介在して形成 された電視等領域機と、上記室商業環境機の上方に維縁 原を介在して形成された製鋼維験ととかする不適発性主 導体配度装置であって、上年不得発性主導体記憶等等の データの支込的に、上ボドレイン領域と急端位を印加す るための意常位印度主義と、上記率同業機管機に主義位 全印加するための圧离位印度手段と、上記メース領域を 開放状態による関数下段とを確え、上記ドレイン領域の 与上記載的跨積電像へ選手の仕入が行なわれる。

(1) \$1089

第1の発物に係る不拘棄性半導体記憶速減は、上記主発 型において、上記不揮発性率導体記憶緩緩のデータの審 込時に、上記ドレイン領域におけるパンドーパンを開ト レネル電流誘起すットエレクトロン注入電流により、上 犯ドレイン領域から上組織荷器領域極小属子の注入が行 なわれる。

【予統物語3】

【新正对象离解名】 明铜器

【輸正対象項目名】0028

(物正方法) 東東

(網走內容)

【0028】(2) 第2の発明

第2の発明に係る不揮発性率準体記憶装置にあいては、 上記主発明において、上記不揮発性率準体記憶装置のデータの書込時に、上記報荷蓄積減額と上記トレイン領域 とに挟まれた領域の上記トレネル敏化膜に独定界を印加 してドNトンネル環象により上記トレイン領域から上記 窓筒蓄積器機へ衛子の注入が行なわれる。

(運輸輸運る)

[福正対象書類名] 明細器

(納廷射象項目名) (038

【物证方法】案例

(MIEPS)

(0038) (12) 第12の条約

第12の発明に係る不機発性半導体記憶装置においては、上紀第1の発明において、上紀2型額域において、上紀5レイン領域を取回かようにして形成され、上記2型額域よりも高い不純物機度を有する1型の第3下純物銀域を備えている。

【手機類進5】

(海田対象物類名)明細書

【糖正対象項目名】0040

【翻正方法】宽美

【糖正內容】

【6040】(14) 第14の発明

第14の発明に係る不構発性半導体記憶装置において は、第2の発情であって、上部の監領域において、上部 ドレイン領域を取開かように形成され、上記ドレイン領 該の不動物議算よりも低い不純物議度を有するの間の第 4不純物領域と、上記ソース領域を取勝むように形成され、上記り知道域より各意い不純物経度を有するの間の 第5不純物領域とを備えている。

【平线物距6】

【新正対象實施名】明顯書

【矯正対象項目名】0045

[物进方法] 変更

【額正內容】

【0045】(19) 第18の務務

第19の発明と係る不無発性半線体配<mark>接装置</mark>において は、第<u>12</u>の発明であって、上記譲ビット総は金層組線 材料である。

【手統補正7】

(橘正対象書類名) 明細審

【補正対象項用名】0053

(補正方法) 変更

(補正内容)

【0083】(27) 第27起よび第28の発射 第27秒よび第28の発明に係る不準発性主導体記憶接 額においては、第18の発明であって。上紀不揮発性率 導体記憶装置の器込時にわける最大消費儀託が1メモリ セル当り14人以下となるように、上記省機位的解手段 および正機位的解手段を開いて、上記ドレイン総裁および上総位的解手段を開いて、上記ドレイン総裁および上総位を開助して

(手続謝正8)

(物正対象等類名) 明細等

[糖正対象項目名] 0054

【输出方法】変更

[編出內容]

(0054)

【作用】主発照。および第1、第4~第13、第18~ 第22の発明に係る不揮発性半導体配金装置において は、45×ネル型のフラッシュメモリを用いて、このフ ラッシュメモリのデータの響込時に、ドレイン領域に負 数位、複薄装置物に正確位が印刷される。

(手続號E9)

(独正対象帯類名) 明和四

【铺正対象項目名】0110

【補正方法】変更

【0110】次に、第27<u>および第28</u>の発明に低る不 揮発性中爆体記憶装置においては、第18の発展であっ て、署込時における最大消費電流であるドレイン総元 か、14A以下となるように素込機圧自加条件が設定さ れている。

(手続額正10)

【铺正为集署预名】明报套

【糖正対象項目名10309

【辦正方法】 変更

(雑選內容)

[0309]

【希明の類集】主発明。および第1、第4〜第13、第 16〜第22の発明に係る不極為性主導体配線装置によ れば、ドレイン領域にあいてバンドーバンド酸トレネル 策能が発生し、電子・正孔対が生成される。そのうち電 子は地方向の電路によりチャネル方向に加速され、高エ ネルギーを有するホットエレクトロンとなる。このと き、網維器様に正常位か印加されているため、このホッ トエレクトロンは容易にトンネル数化度に往入され、落 筒管療器様まで達することができる。このように、バン トーバンド簡トンネル電流諸超ホットエレクトロン住入 により、電荷高速巡探への電子の往人が行なわれる。

【中熱鄉庄111】

【输正对象器型名】明和音

[補正対象項目名] 0352

【雅正方法】发现

【補正內容】

【9352】次に、第27<u>約よび第28</u>の発明に係る不 **連発性平準体配接**接級においては、第13の発明であっ て、審込時における最大消費鑑潔であるドレイン電液 が、14A以下となるように警込電圧組脚条件が設定されている。